

陣列廠光罩重新配置於瓶頸機台之研究分析 = A study of mask Re-allocation problems in TFT Array Process

郭盈賢、陳盈彥

E-mail: 9806268@mail.dyu.edu.tw

摘要

TFT-LCD(Thin Film Transistor-Liquid Crystal Display)的製造流程包含三大部份，分別為前段陣列製程、中段組立製程及後段模組製程。陣列廠因為製程時間長，因此成為三段之瓶頸段製程。陣列廠必須考慮到迴流及光罩的搭配問題，且每種光罩與機台之間都有一定的搭配限制，因此如何充分利用現有機台設備提高產能並且降低成本的損失，是陣列製程首要克服的議題。過去相關文獻較少考量機台與光罩之優序關係，因此本研究將機台與光罩之間的優序關係納入考量，了解陣列廠光罩與機台之配置關係並且利用數學規劃方法進行求解。藉由實驗設計方法，針對各項績效去進行探討，並且利用多重比較法找出對於績效指標較佳之重配置時間，除了機台剩餘產能之外，其餘績效指標與重新配置時間皆呈現顯著關係。

關鍵詞：TFT-LCD、陣列廠、光罩

目錄

博碩士論文暨電子檔案上網授權書.....	iii	中文摘要.....	iv
ABSTRACT.....	v	誌謝.....	vi
目錄.....	vii	圖目錄.....	x
表目錄.....			xi
第一章 緒論.....	1	1.1研究背景與動機.....	1
1.2研究目的.....	2	1.3研究範圍與限制.....	3
1.4研究步驟.....	3	第二章 文獻回顧.....	5
2.1薄膜液晶顯示器製程簡介.....	5	2.2薄膜電晶體陣列(TFT Array)製程.....	6
2.3陣列廠特性分析.....	9	2.3.1生產環境特性.....	9
2.3.2黃光製程環境分析.....	10	2.4迴流型生產系統相關文獻.....	13
2.4.1投料法則相關文獻.....	15	2.6薄膜電晶體陣列廠(TFT Array)相關文獻.....	17
2.7文獻小結.....	18	第三章 研究方法.....	19
3.1光罩重配置模式步驟分析.....	19	3.1.1考慮在製品狀態.....	20
3.1.2目標加工量計算.....	22	3.1.3在製品權重計算.....	25
3.1.4機台可用產能於規劃時間內計算.....	26	3.1.5產品良率之計算.....	27
3.1.6修正正在使用中光罩與機台配置.....	28	3.2重新配置光罩之數學規劃模型.....	29
3.2.1數學符號定義與說明.....	30	3.2.2數學規劃模型.....	31
3.2.3範例說明.....	35	第四章 實驗結果與討論.....	41
4.1模式說明與假設.....	41	4.1.1模式描述.....	42
4.1.2模式輸入資料.....	42	4.2重配置模式實驗結果與分析.....	46
4.2.1實驗結果.....	47	4.2.2敏感度分析.....	50
4.2.3實驗設計.....	52	4.2.4小結.....	59
第五章 結論與建議.....	60	5.1結論.....	60
5.2建議.....	61	參考文獻.....	62

參考文獻

- 中文文獻 1. 王傳順，2007，S-DBR 應用於具迴流特性製造業之可行性研究，國立交通大學工業工程與管理學系碩士論文 2. 王帥文，2007年，光罩配置對TFT Array生產系統之影響探討，國立清華大學工業工程與工程管理學系碩士論文。 3. 吳建廣，2003年，混合塔布搜尋法應用於具迴流特性流程工廠之研究，國立台灣科技大學工業管理學系碩士論文。 4. 柯長泰，2005年，薄膜電晶體液晶面板生產之製令規劃，國立雲林科技大學工業工程與管理學系碩士論文。 5. 盧研伯，2003年，混合式模擬退火法應用於具迴流特性流程工廠之研究，國立台灣科技大學工業管理學系碩士論文。 6. 簡秀安，2004年，TFT-LCD 產業陣列製程投料機制之建構與績效分析，東海大學工業工程與經營資訊研究所碩士論文。 7. 顏如敏，2006年，TFT Array廠在光罩限制下之現場排程問題，國立清華大學工業工程與工程管理學系碩士論文。 -62- 英文文獻 1. Akcali,E., Kazunori Nemoto, and Reha Uzsoy, 2001, Cycle-time Improvements for Photolithography Process in Semiconductor Manufacturing, IEEE Transactions on Semiconductor Manufacturing, Vol.14, No.1, pp.48-56. 2. Chen, J.S., C.H. Pan,

and C.M. Lin, 2008, A Hybrid Genetic Algorithm for the Re-entrant Flow-shop Scheduling Problem, *Expert System with Applications*, Vol. 34, pp.570-577. 3. Choi, S.C. and Y.D., Kim, 2008, Minimizing makespan on an m-machine re-entrant flowshop, *Computers & Operations Research*, Vol. 35, pp.1684-1696. 4. Drobouchevich, I.G. and Stusevich, V.A., 1999, A heuristic algorithm for two-machine re-entrant shop scheduling, *Annals of Operations Research*, Vol 86, pp.417-439. 5. Glassey, C.R. and Resende, M.G.C., 1988, Closed-loop Job Release Control for VLSI Circuit Manufacturing, *IEEE Transactions on Semiconductor Manufacturing*, Vol.1, No.1, pp.36-46. 6. Graves, S.C., Meal, H.C., Stefek, D. and Zeghmi, A.H., 1983, Scheduling of Reentrant Flow Shops, *Journal of Operations Management*, Vol. 3,No.4, pp.197-207. 7. Glassey, C.R. and Resende, M.G.C., 1988, A Scheduling Rule for Job Release in Semiconductor Fabrication, *Operation Research Letters*, Vol. 7, No.5, pp.213-217. 8. Huang, H.H., Barzin, N. and Lewis, F.L., 1994, A Matrix Framework For Controller Designfor Reentrant Flow Scheduling, *IEEE Transactions on Semiconductor Manufacturing*, pp. 1552-1563 . 9. Kubiak, W., Lou, S.C. and Wang, Y.-M., 1990, Mean Flow Time Minimization in Reentrant Job-Shop With Hub, *Facility of Management, University of -63- -64- Toronto*. 10. Kubiak, W., Lou, S.C., and Wang, Y.M., 1996, Mean Flow Time Minimization in Reentrant Job-Shop With Hub, *Operation Research*, Vol. 44, No. 5, pp.764-776 11. Lou, S.X.C. and Kager, P.W.,1989, A Robust Production Control Policy for VLSI Wafer Fabrication, *IEEE Transactions on Semiconductor Manufacturing*, Vol. 2, No4, pp.159-164. 12. Lee, C.Y., Uzsoy, R., 1991, Martin-Vega, L.A., and Leonard, P.A., Production Scheduling Algorithm For A Semiconductor Facility, *IEEE Transactions on Semiconductor Manufacturing*, Vol. 4, No. 4, pp.270-280. 13. Spearman, M.L., Wooddruff, D.L. and Hopp,W.J.,1990,CONWIP: A Pull Alternative to Kanban, *International Journal of Production Research*,Vol.28,No.5, pp.87-94. 14. Wein,L.M,1988,Scheduling Semiconductor Wafer Fabrication, *IEEE Transactions on Semiconductor Manufacturing*, Vol. 1,No. 3, pp.115-130