

The Implementation of Soft Decision Decoding of Convolutional Codes Based on Micro-Cpu Design

鄭啟中、胡大湘

E-mail: 9805615@mail.dyu.edu.tw

ABSTRACT

In this study, soft decision decoding of Viterbi algorithm is written with very high speed integrated circuit hardware description language(VHDL) on a micro-cpu design. A simple 16-bit processor has been modified to a 32-bit processor, which the addition and multiplication of IEEE single precision floating-point numbers are included. This designed 32-bit processor is specified to perform a Viterbi algorithm. An example of (2,1,3) convolutional decoding with length 300 is illustrated to verify such a micro-cpu design. A synthesis software, Synplify pro, is employed to synthesize such a proposed circuit design. There is a comparison listed to compare LUTs difference between Virtex-II Pro and Virtex-5.

Keywords : Convolutional code algorithm、 Error control coding、 Viterbi

Table of Contents

封面內頁	
簽名頁	
授權書	iii
中文摘要	iv
英文摘要	v
誌謝	vi
目錄	vii
圖目錄	ix
表目錄	xi

第一章 緒論

1.1 前言	1
1.2 研究動機	2
1.3 全文架構	3

第二章 摺積碼原理

2.1 摺積碼的編碼方式基本介紹	5
2.2 偉特比演算法的Soft Decision Decoding	7
2.2.1 偉特比演算法的基本概念	7
2.2.2 Soft Decision Decoding	9

第三章 以微處理器架構實現Convolutional Code解碼

3.1 微處理器的功能	12
3.2 微處理器的基本組成	12
3.2.1 控制器的功能和基本組成元件	13
3.2.2 運算器的功能和基本組成元件	16
3.3 微處理器的指令截取方式	17
3.4 微處理器的指令週期的基本概念	18
3.4.1 指令週期的基本觀念	19
3.4.2 指令說明	22

第四章 硬體實現與系統實驗設計

4.1 選擇C語言作摺積碼軟體解碼原因	25
4.2 IEEE-754 32位元單精確浮點數及其運算	25
4.2.1 IEEE-754 32位元單精確浮點數介紹	25
4.2.2 IEEE-754 32位元單精確浮點數運算	27

4.3軟體模擬驗證摺積碼軟性解碼	32
4.4硬體模擬驗證摺積碼軟性解碼	34
第五章 結論及未來展望	
5.1 研究流程與解決問題	49
5.2 結論及未來展望	50
參考文獻	51

REFERENCES

[1]William D. Richard, “ Digital Computers I:Organization and Logical Design Fall 2006 ” Available: <http://fp.cse.wustl.edu/cse260/> [2]維積百科, “ IEEE二進制浮點數算術標準(IEEE 754) ”, Available: http://zh.wikipedia.org/wiki/IEEE_754 [3]S. Lin and D.J. Costello, Jr, “ Error Control Coding ”, 2nd edition Prentice Hall, 2004 [4]李忠昱, “ Implementation of Reed-Solomon Decoder Based on Gao ’ s Algorithm ”, 大葉大學電信工程學系碩士班碩士論文, 2008 [5]劉紹漢、林灶生, “ VHDL晶片設計, 使用ISE、Modelsim發展系統 ”, 全華科技圖書, 台北, 2004。

[6]唐佩忠, “ VHDL與數位邏輯設計 ”, 高立圖書, 2004 [7]鄭群星, “ FPGA/CPLD數位晶片設計入門 ”, 全華科技圖書, 三版一刷2008年11月。

[8]劉紹漢、林灶生, “ SOC系統晶片設計使用Xilinx EDK ”, 全華科技圖書, 2006年7月。

[9]劉紹漢、林灶生, “ FPGA晶片設計與專題製作 ”, 全華科技圖書, 2004年6月。