

# 實現一個運用似MIPS架構之JPEG編碼系統晶片

方星几、陳慶順

E-mail: 9800876@mail.dyu.edu.tw

## 摘要

JPEG編碼技術廣泛出現在現今影像處理相關3C產品之中，例如數位相機與手機。本研究以Verilog硬體描述語言與演算法狀態機制實現一個似MIPS架構之32位元精簡指令集微處理器並內嵌一個JPEG編碼器。在研究中以C語言設計一個JPEG編碼器，使用Visual C++ 6模擬JPEG編碼，經由GCC編譯器編譯成MIPS組合語言，透過PCSpim得到模擬真實的MIPS CPU執行的結果與機器碼，將MIPS指令的機器碼置入似MIPS架構的核心之中，經由ModelSim進行模擬分析，與PCSpim模擬的結果相互比較與驗證。所設計的似MIPS架構核心以Xilinx ISE軟體合成，並燒入Virtex II Pro可程式邏輯閘陣列實驗板，搭配內建JPEG編碼演算法的快閃記憶體實現JPEG編碼系統晶片，其執行結束會將編碼後的JPEG圖檔儲存在快閃記憶體。最後將似MIPS架構核心透過Cadence BuildGates搭配台積電90奈米標準元件庫合成硬體電路，並使用Cadence SOC Encounter完成超大型積體電路佈局。本研究主要貢獻為成功整合多種電子設計自動化工具並發展一軟硬體共同設計流程，可有效將C語言設計，快速成型於FPGA晶片加以驗證，並可進一步完成超大型積體電路佈局，研究成果未可應用於數位控制、多媒體技術、數位通訊等跨領域研究。

關鍵詞：Verilog硬體描述語言、JPEG、MIPS、可程式邏輯閘陣列

## 目錄

封面內頁 簽名頁 授權書 . . . . .	iii	中文摘要 . . . . .	iii
. . . . .	iv	英文摘要 . . . . .	v
. . . . .	vii	目錄 . . . . .	viii
. . . . .	x	圖目錄 . . . . .	xii
. . . . .	x	表目錄 . . . . .	xii
第一章 緒論 . . . . .	1	1.1 研究動機 . . . . .	1
. . . . .	1	1.1.1 研究目的 . . . . .	2
. . . . .	4	2 第二章 研究方法 . . . . .	2
. . . . .	4	2.1 JPEG原理 . . . . .	4
. . . . .	5	2.2 JPEG標頭檔資訊 . . . . .	5
. . . . .	5	2.3 RGB與YUV顏色表示轉換 . . . . .	7
. . . . .	7	2.4 縮減取樣 . . . . .	8
. . . . .	10	2.5 離散餘弦轉換 . . . . .	10
. . . . .	10	2.6 量化 . . . . .	12
. . . . .	13	2.7 Z字掃描 . . . . .	15
. . . . .	13	2.8 霍夫曼編碼 . . . . .	15
. . . . .	15	2.8.1 DC編碼 . . . . .	15
. . . . .	15	2.8.2 AC編碼 . . . . .	15
. . . . .	17	2.9 MIPS原理 . . . . .	19
. . . . .	17	2.10 演算法狀態機制 . . . . .	19
. . . . .	19	2.11 ASM流程圖設計方法 . . . . .	21
. . . . .	21	2.12 電子設計自動化工具 . . . . .	22
. . . . .	25	第三章 結果與討論 . . . . .	25
. . . . .	25	3.1 軟體設計 . . . . .	26
. . . . .	29	3.2 硬體設計 . . . . .	26
. . . . .	29	3.2.1 似MIPS架構 . . . . .	29
. . . . .	29	3.2.2 硬體架構 . . . . .	31
. . . . .	33	3.2.3 模擬驗證 . . . . .	33
. . . . .	33	3.3 VLSI實現 . . . . .	36
. . . . .	39	第四章 結論 . . . . .	39
. . . . .	41	參參考文獻 . . . . .	43
. . . . .	41	2007年第46屆設計自動化研討會論文 . . . . .	43
. . . . .	53		

## 參考文獻

- [1]Gregory K. Wallace, " The JPEG still picture compression standard," IEEE Transactions on Consumer Electronics, Vol.38, pp.30-40, Feb 1992.
- [2]Jeong-Ho Woo, Ju-Ho Sohn, Hyejung Kim, Hoi-Jun Yoo, " A 195 mW/152 mW Mobile Multimedia SoC With Fully Programmable 3-D Graphics and MPEG4/H.264/JPEG," IEEE Journal of Solid-State Circuits, Vol. 43, NO. 9, September 2008.
- [3]陳文鉅, " 應用於JPEG影像壓縮標準之變動長度編解碼架構設計," 碩士論文, 南台科技大學, 2003.
- [4]蔡安朝, 陳慶順, 潘天賜, "實現一個運用似MIPS架構之步進馬達控制系統晶片", 2004年中華民國自動控制研討會, 大葉大學, 2004.
- [5]謝元章, 陳木松, 陳慶順, 潘天賜, 吳明杰, 王錫文, 張傳旺, 賴恆生, "管線化的倒傳遞類神經微處理器", 2006 現代電機科技研討會, 嘉義吳鳳技術學院, 2006.

- [6]M. G. Arnold, N. J. Sample, J. D. Shuler, " Guidelines for Safe Simulation and Synthesis of Implicit, " Proc., Verilog HDL Conference and VHDL international Users Forum, 1998. IVC/VIUF, 1998, pp.56-66.
- [7]M. G. Arnold, T. A. Bailey, J. R. Cowles, J. J. Cupal, A. W. Wallace " A Purely Behavioral Data Structure for Accurate High Level Timing Simulation of Synchronous Designs, " Proc., Verilog HDL Conference, 1994, pp.101-107.
- [8]李健銘, 李世鴻, 陳木松, 陳慶順, 潘天賜, "倒傳遞類神經微處理器之超大型積體電路佈局", 2006 第四屆微電子技術發展與應用研討會, 高雄海科技大學, 2006.
- [9]謝東翰、陳慶順、潘天賜、王錫文, "實現一個似 MIPS 雙核心晶片", 2007智慧型機器人跨領域科技研討會, 大葉大學, 2007.
- [10]D.A. Huffman, "A Method for the Construction of Minimum-Redundancy Codes", Proceedings of the I.R.E., September 1952, pp 1098-1102.
- [11]D. A. Patterson. and J. L. Hennessy, " Computer Organization & Design: The Hardware/ Software Interface, " 2nd Ed., Morgan Kaufmann Pub, Dec 1997.
- [12]William Stallings, " Reduced Instruction Set Computer Architecture, " Proc., of the IEEE, Vol. 76, 1988, pp. 38-55.
- [13]M. G. Arnold, T. A. Bailey, J. R. Cowles, J. J. Cupal, F. N. Engineer, " Behavior to Structure: Using Verilog and In-Circuit Emulation to Teach How An Algorithm Becomes Hardware, " Proc, of IEEE International Verilog HDL Conference, 1995, pp. 19 – 28.
- [14]M. G. Arnold, " Verilog Digital Computer Design Algorithms into Hardware, " 1st ed., Prentice Hall press, 1999.
- [15] [http:// www.xilinx.com/univ/XUPV2P/Documentation/XUPV2P\\_User\\_Guide.pdf](http://www.xilinx.com/univ/XUPV2P/Documentation/XUPV2P_User_Guide.pdf)