

探討程式在不同編譯最佳化對快取記憶體設計空間之影響：以H.264為例

張峻銘、王欣平

E-mail: 9707431@mail.dyu.edu.tw

摘要

隨著新一代行動運算嵌入式系統與多媒體資訊應用的結合，造成系統功能設計複雜性增加，同時多媒體應用需要消耗大量CPU運算資源及大量記憶體資料的存取，這些都是造成嵌入式處理器耗電的主要原因之一。因此如何提升行動運算嵌入式系統對多媒體應用的效能，並且改善功率消耗問題以延長系統的續航力，已成為設計一重要課題。本論文以現今嵌入式系統常用的處理器StrongARM及多媒體視訊標準H.264應用為例，透過對H.264進行側描以取得H.264最常出現函式，然後分別在不同最佳化條件下編譯此函式，再將編譯後的函式各別使用Sim-Panalyzer模擬分析，以取得不同程式在StrongARM處理器內第一階快取記憶體運作內容，最後探討分析以上模擬資料以探究編譯器優化選項對於效能與功率消耗的影響，進而找出對於H.264解碼器在多媒體的應用上，其成本、效能及功率消耗這三方面在記憶體架構上的最佳設計。根據實驗顯示，就H.264範例而言，在最佳效能的快取記憶體設計下，編譯最佳化有助於提升程式執行效能，並且降低整體CPU的功率消耗。

關鍵詞：嵌入式系統;功率消耗;Sim-Panalyzer;StrongARM;編譯器;H.264

目錄

中文摘要.....iv	ABSTRACT.....v	誌謝.....vi	目錄.....vii	圖目錄.....x	表目錄.....xii	第一章 緒論.....1	1.1 簡介.....1	1.2 研究動機.....1	1.3 研究方法.....3	1.4 論文架構.....4	第二章 相關研究背景.....5	2.1 H.264簡介.....5	2.2動作預測與估算 (motion prediction / estimation)7	2.2.1基本方塊大小和形狀.....8	2.2.2高精確度的次像素動作補償.....9	2.2.3使用多個參考畫面.....9	2.2.4去方塊效應濾波器.....10	2.3整數DCT變換.....10	2.4量化.....11	2.5熵編碼.....12	2.5.1 Variable Length Codeing (VLC)12	2.5.2 Context-based Adaptive Binary Arithmetic Coding (CABAC)12	第三章 實驗方法及架構.....14	3.1 H.264/AVC程式碼.....14	3.2 函式層側描方法.....14	3.2.1 Gprof.....15	3.2.2 OProfile.....17	3.3 關鍵函式分析.....21	3.4 實驗環境與模擬工具.....22	3.4.1 Sim-Panalyzer.....22	3.4.2 實驗環境.....24	3.5 GCC編譯器最佳化選項分析.....26	第四章 實驗結果與分析.....32	4.1 JMHS測試程式開發.....33	4.1.1 擷取輸入資料數據.....33	4.1.2 JMHS測試程式編譯.....36	4.2 快取記憶體設計規範.....39	4.3 指令快取記憶體最佳設計.....40	4.3.1 指令快取記憶體大小對於失誤率的影響.....41	4.3.2 指令快取下區塊大小對於失誤率的影響.....43	4.3.3 指令快取下集合關聯數對於失誤率的影響.....44	4.4最佳資料快取記憶體設計.....46	4.4.1 資料快取記憶體大小對於失誤率的影響.....47	4.4.2 資料快取下區塊大小對於失誤率的影響.....48	4.4.3 資料快取下集合關聯數對於失誤率的影響.....49	4.5程式最佳化對於快取記憶體失誤率影響.....52	4.5.1程式最佳化對指令快取記憶體設計影響.....52	4.5.2程式最佳化對資料快取記憶體設計影響.....53	4.6 程式最佳化對於功率消耗分析.....56	4.6.1靜態功率消耗分析.....61	4.6.2動態功率消耗分析.....61	4.6.3 JMHS測試程式總功率消耗分析.....63	第五章 結論.....65	參考文獻.....71
-------------	----------------	-----------	------------	-----------	-------------	--------------	--------------	----------------	----------------	----------------	------------------	-------------------	--	----------------------	-------------------------	---------------------	----------------------	-------------------	--------------	---------------	---	---	--------------------	-------------------------	--------------------	--------------------	-----------------------	-------------------	----------------------	----------------------------	-------------------	--------------------------	--------------------	-----------------------	-----------------------	-------------------------	----------------------	------------------------	--------------------------------	--------------------------------	---------------------------------	-----------------------	--------------------------------	--------------------------------	---------------------------------	-----------------------------	-------------------------------	-------------------------------	--------------------------	----------------------	----------------------	------------------------------	---------------	-------------

參考文獻

- [1] Y.-J. Chang, S.-J. Ruan, and F. Lai. Design and analysis of low-power cache using two-level filter scheme. IEEE Trans. Very Large Scale Integr. Syst., 11 (4) :568 – 580, 2003.
- [2] Joint Video Team (JVT) of ISO/IEC MPEG and ITU-T VCEG, International Standard of Joint Video Specification (ITU-T Rec. H.264 ISO/IEC 14496-10 AVC) , JVT-G050, March 2003.
- [3] “ Generic Coding of Moving Pictures and Associated Audio Information - Part 2: Video, ” ITU-T and ISO/IEC JTC 1, ITU-T Recommendation H.262 and ISO/IEC 13 818-2 (MPEG-2) , 1994.
- [4] “ Coding of audio-visual objects—Part 2: Visual, ” in ISO/IEC 14 496-2 (MPEG-4 Visual Version 1) , Apr. 1999.
- [5] “ Video Coding for Low Bit Rate Communication, ” ITU-T, ITU-T Recommendation H.263 version 1, 1995.
- [6] 戴顯權、陳滢如、王春清 編著，多媒體通訊，紳藍出版社，2003年5月。
- [7] H.264/AVC Software Coordination.
- [Online].Available: <http://iphome.hhi.de/suehring/tml/> [8] B. Stabernack, Kai-Immo Wels, H. Hu"bert, "A System on a Chip Architecture of an H.264/AVC Coprocessor for DVB-H and DMB Applications", IEEE Transactions on Consumer Electronics, Vol. 53, No. 4, NOVEMBER 2007.
- [9] A. Major, Yi. Ying, I. Nouisias, M. Milward, S. Khawam, T. Arslan, “ H.264 Decoder Implementation on a Dynamically Reconfigurable

Instruction Cell Based Architecture ” IEEE International SOC Conference, pp.49-52. Sept. 2007.

[10] M. Horowitz, A. Joch, F. Kossentini, and A. Hallapuro, “ H.264/AVC Baseline Profile Decoder Complexity Analysis, ” IEEE Transaction on Circuits and System. Video Technology, Vol.13, No. 7, pp. 704-716, July 2003.

[11] Gprof, The GNU Profiler.

[Online]. Available: http://www.cs.utah.edu/dept/old/texinfo/as/gprof_toc.html [12] Oprofile, OProfile manual.

[Online]. Available: <http://oprofile.sourceforge.net/doc/index.html> [13] Sysprof, System-wide Linux Profiler .

[Online]. Available: <http://www.daimi.au.dk/~sandmann/sysprof/> [14] Sim-Panalyzer, The SimpleScalar-Arm Power Modeling Project.

[Online]. Available: <http://www.eecs.umich.edu/~panalyzer/> [15] SimpleScalar Tool Set.

[Online]. Available: <http://www.simplescalar.com/> [16] D. Burger and T. M. Austin. The simplescalar tool set, version 2.0. SIGARCH Comput. Archit. News, 25 (3) :13 – 25, 1997.

[17] Sim-Panalyzer 2.0 Reference Manual.

[18] Kurt Wall, William von Hagen 著 , 鄧偉敦 譯 , GCC完全指南 , 博碩文化 , 2005年4月。

[19] GCC, GCC 3.3.5 Manual.

[Online]. Available: <http://gcc.gnu.org/onlinedocs/gcc-3.3.5/gcc/> [20] Make, GNU Make Manual.

[Online]. Available: http://www.gnu.org/software/make/manual/html_node/index.html [21] A. J. Smith, “ Cache memories ” , ACM Computing Surveys 14, No.3, pp.473-530, 1982.

[22] C.-G. Kim, J.-W. Park, J.-H. Lee, and S.-D. Kim, "A small data cache for multimedia-oriented embedded systems," Journal of Systems Architecture, In Press, Corrected Proof, Available online 16 May 2007.

[23] J.-H. Lee, J.-S. Lee, S.-D. Kim, "A new cache architecture based on temporal and spatial locality," Journal of Systems Architecture, Vol.46, Number 15, 31 December 2000 , pp. 1451-1467 (17) .

[24] J. L. Hennessy and D. A. Patterson. Computer Architecture A Quantitative Approach. Morgan Kaufmann Publishers, Inc, 2003.

[25] K. Flautner, N. S. Kim, S. Martin, D. Blaauw, and T. Mudge. Drowsy caches: simple techniques for reducing leakage power. SIGARCH Comput. Archit. News, 30 (2) :148 – 157, 2002.