

運用似MIPS架構實現一個渦輪編碼交錯器

陳熙儒、陳慶順

E-mail: 9707076@mail.dyu.edu.tw

摘要

渦輪編碼廣泛運用於最新發展的無線通訊科技之中，因此本研究以Verilog硬體描述語言(Hardware Description Language, HDL)與演算法狀機制(Algorithmic State Machine, ASM)實現一個似MIPS架構之32位元精簡指令集微處理器並內嵌一個渦輪編碼交錯器。研究中以C語言設計一個渦輪編碼交錯器，進一步使用LCC編譯成組合語言編碼，經由本研究團隊使用C語言所設計的工具程式，將組合語言編碼進行適當的修改後，可使用PCSpim得到模擬結果與機器碼，再將機器碼置入似MIPS核心之中。經ModelSim進行模擬，再與PCSpim模擬的結果相互比對驗證。設計成果並進一步以Xilinx FPGA晶片軟體合成，最後並完成台積電0.18微米製程的超大型積體電路佈局設計。本研究成果適用於IS-2000 CDMA系統的渦輪編碼器，未來研究預計延伸到渦輪編解碼器、WiMAX及多核心系統晶片。

關鍵詞：渦輪編碼、Verilog、FPGA、MIPS、系統晶片

目錄

授權書.....	iii	中文摘要.....	iv	英文摘要.....	v
誌謝.....	vi	目錄.....	vii	圖目錄.....	ix
表目錄.....	xi	第一章 緒論 1.1研究動機.....	1	1.2研究目的.....	2
第二章 研究方法 2.1微處理器架構.....	4	2.1.1精簡指令集電腦 (RISC).....	5	2.1.2 MIPS微處理器.....	6
2.1.3 MIPS指令格式.....	7	2.2演算法狀態機.....	10	2.2.1 ASM設計方法.....	12
2.3渦輪編碼器.....	13	2.4交錯器.....	15	2.4.1區塊交錯器.....	16
2.4.2亂數交錯器.....	17	2.4.3 S亂數交錯器.....	18	2.4.4質數交錯器.....	18
2.5電子自動化設計工具.....	22	第三章 結果與討論 3.1設計流程.....	25	3.2渦輪編碼交錯器.....	26
3.3似MIPS核心微處理器.....	31	3.3.1似MIPS微處理器之ASM圖.....	32	3.3.2似MIPS微處理器的模擬與驗證.....	32
3.4似MIPS架構之渦輪編碼交錯器.....	50	第四章 結論.....	53	參考文獻.....	54
附錄.....	57				

參考文獻

- [1] M. G. Arnold, T. A. Bailey, J. R. Cowles, J. J. Cupal, F. N. Engineer, " Behavior to Structure: Using Verilog and In-Circuit Emulation to Teach How An Algorithm Becomes Hardware, " Proc. Verilog HDL Conference, IEEE International, 1995, pp. 19 – 28.
- [2] M. G. Arnold, " Verilog Digital Computer Design Algorithms into Hardware, " 1st ed., Prentice Hall press, 1999.
- [3] 蔡安朝, 陳慶順, 潘天賜 " 實現一個運用似MIPS架構之步進馬達控制系統晶片, " 2004年中華民國自動控制研討會, 大葉大學, 2004年。
- [4] 謝元章, 陳木松, 陳慶順, 潘天賜, 吳明杰, 王錫文, 張傳旺, 賴恒生, " 管線化的倒傳遞類神經微處理器, " 2006現代電機科技研討會, 嘉義吳鳳技術學院, 2006年。
- [5] 李健銘, 李世鴻, 陳木松, 陳慶順, 潘天賜, " 倒傳遞類神經微處理器之超大型積體電路佈局, " 2006第四屆微電子技術發展與應用研討會, 高雄海洋科技大學, 2006年。
- [6] G. Berrou, A. Glavieux, and P. Thitimajshima, " Near Shannon limit error-correcting coding: Turbo codes, " Proc., Geneva, Switzerland, 1993, pp. 1064-1070.
- [7] C. Berrou, A. Glavieux, " Near optimum error correcting coding and decoding: turbo-codes, " IEEE Trans. Commun., Vol. 44, 1996, pp. 1261-1271.
- [8] C. E. Shannon, " A Mathematical Theory of Communication, " BSTJ, Vol. 27, 1948, pp.379-423, 623-657.
- [9] 林沅東, 潘天賜, 陳慶順, 邱坤麒, 王錫文, " Pade逼近log-MAP渦輪解碼演算法於衰減CDMA通訊之應用, " 2007年再生能源科技與應用研討會, 彰化大葉大學, 2007年。
- [10] 蔡鳴凱, 潘天賜, 陳慶順, 邱坤麒, 王錫文, " 二階log-MAP渦輪解碼演算法於衰減CDMA通訊之應用, " 2007年再生能源科技與

應用研討會，彰化大葉大學，2007年。

- [11]D. C. Hyde, " CSCI 320 Computer Architecture Handbook on Verilog HDL, " Computer Science Department, Bucknell University Lewisburg, PA17837, 1997.
- [12]M. G. Arnold, N. J. Sample, J. D. Shuler, " Guidelines for Safe Simulation and Synthesis of Implicit, " Proc., Verilog HDL Conference and VHDL international Users Forum, 1998. IVC/VIUF, 1998, pp.56-66.
- [13]M. G. Arnold, T. A. Bailey, J. R. Cowles, J. J. Cupal, A. W. Wallace " A Purely Behavioral Data Structure for Accurate High Level Timing Simulation of Synchronous Designs, " Proc., Verilog HDL Conference, 1994, pp.101-107.
- [14]M. Holland, J. Harris, S. Hauck, " Harnessing FPGAs for Computer Architecture Education, " Proc., Microelectronic Systems Education, 2003., IEEE International Conference on 1-2 June, 2003, pp. 12 – 13.
- [15]A. Barros, P. Lima, J. Xavier, M. E. Lima " Teaching SoC Design in a Project-Oriented Course based on Robotics " , Proc. , the 2005 IEEE International Conference on Microelectronic Systems Education, 2005, pp.25-26.
- [16]M. G. Arnold, " Verilog Digital Computer Design: Algorithms into Hardware, " 1st ed. Prentice Hall press, 1999, Chap. 8, pp. 277-353.
- [17]Kab Joo Lee; " Fault sensitivity analysis of a 32-bit RISC microprocessor, " VLSI and CAD, ICVC '99. 6th International Conference, 1999, pp. 529-532 [18]D. A. Patterson, J. L. Hennessy, " Computer Organization & Design: The Hardware/Software Interface, " 2st ed., Morgan Kaufmann press, 1997, Chap. 3, pp. 3-1 to 3-113.
- [19] " MIPS32TM Architecture For Programmers Volume I: Introduction to the MIPS32TM Architecture, " MIPS Technologies Inc., 2001.
- [20]William Stallings, " Reduced Instruction Set Computer Architecture, " Proc., of the IEEE, Vol. 76, 1988, pp. 38-55.
- [21]Q. Jian, " Turbo Code in IS-2000 Code Division Multiple Access Communications Under Fading, " Wichita State University, Electrical and Computer Engineering, Master ' s thesis, 1999.
- [22]李岳修, " 應用於渦輪碼之交錯器研究, " 國立清華大學, 電機工程研究所, 碩士論文, 2000年。
- [23] " MIPS32R Architecture For Programmers Volume II: The MIPS32R Instruction Set, " MIPS Technologies Inc., 2001.