

# 雙核心微控制器之設計與研究

林銘晟、胡永柟

E-mail: 9706081@mail.dyu.edu.tw

## 摘要

本文主要是基於FPGA之優勢，以設計一顆可植入於FPGA之雙核心MCU。而處理器核心是以MIPS32為基礎去設計出來的核心，除了有相容於原本MIPS32的指令集外，還增加了自行設計的指令，並配合一些週邊功能電路，如PWM、UART和一些I/O埠來構成雙核心MCU。

本文製作的流程是先用Verilog硬體描述語言製作出似MIPS32的核心及周邊電路，然後再用ModelSim及SynaptiCAD去模擬各個模組及整體雙核MCU架構的正確性，然後再以FPGA作為實體驗證，進而把擁有雙核心架構之微控制器植入一顆晶片當中。

關鍵詞：FPGA、Verilog、ModelSim、SynaptiCAD、雙核心

## 目錄

封面內頁	
簽名頁	
授權書	iii
中文摘要	iv
英文摘要	v
誌謝	vi
目錄	vii
圖目錄	x
表目錄	xiv
第一章 緒論	1
1.1 前言	1
1.2 研究方法與步驟	2
1.3 系統架構	4
1.4 內容大綱	5
第二章 多處理器系統知識與理論	6
2.1 佛林分類	6
2.1.1 SISD	6
2.1.2 SIMD	7
2.1.3 MISD	8
2.1.4 MIMD	8
2.2 多處理器架構	9
2.2.1 集中式架構	10
2.2.2 分散式架構	11
2.2.3 多處理器的溝通方式	13
2.3 快取一致性	14
2.3.1 寫入失效	16
2.3.2 寫入更新	18
2.4 多處理器的運作原理	20
2.5 平行處理程式設計之問題	22
第三章 積體電路設計背景知識	23
3.1 前言	23
3.2 設計之方法	24
3.3 設計技術之分類	26

3.4 設計流程 . . . . .	28
3.5 FPGA原理 . . . . .	30
第四章 雙核心微控制器系統架構 . . . . .	34
4.1 指令集架構 . . . . .	34
4.2 硬體架構 . . . . .	39
4.2.1 處理器架構 . . . . .	40
4.2.2 擷取階段 . . . . .	43
4.2.3 解碼階段 . . . . .	44
4.2.4 執行階段 . . . . .	46
4.2.5回寫階段 . . . . .	47
4.3管線危障處理 . . . . .	48
4.3.1資料危障處理 . . . . .	49
4.3.2分支危障處理 . . . . .	53
4.4記憶體系統 . . . . .	56
4.4.1記憶體階層 . . . . .	57
4.4.2記憶體的規劃 . . . . .	58
4.4.3記憶體控制 . . . . .	59
4.4.4管線危機處理 . . . . .	62
4.4.5快取一致性策略 . . . . .	63
4.5雙核心微控制器 . . . . .	65
第五章 系統驗證 . . . . .	66
5.1實驗平台 . . . . .	66
5.2功能驗證 . . . . .	67
5.2.1指令測試 . . . . .	68
5.2.2多工處理 . . . . .	73
5.2.3平行處理 . . . . .	76
5.2.4 PWM驗證 . . . . .	78
5.2.5 UART驗證 . . . . .	81
5.3雙核心微控制器應用 . . . . .	87
5.3.1 LED動態字型顯示 . . . . .	87
5.3.2溫度控制 . . . . .	88
第六章 結論與未來展望 . . . . .	91
參考文獻 . . . . .	92

## 圖目錄

圖1.1雙核心CPU設計之步驟流程 . . . . .	3
圖1.2 Dual Core MCU . . . . .	4
圖2.1 SISDE . . . . .	7
圖2.2 SIMD . . . . .	7
圖2.3 MIMD . . . . .	8
圖2.4 MIMD (share memory) . . . . .	9
圖2.5集中式多處理器 . . . . .	9
圖2.6分散式多處理器 . . . . .	10
圖2.7單一匯流排的SMP架構 . . . . .	11
圖2.8分散式多處理器 . . . . .	12
圖2.9 快取一致性 . . . . .	15
圖2.10 DSM架構 . . . . .	16
圖2.11(A)(B)(C)寫入失效動作說明 . . . . .	17
圖2.12(A)(B)寫入更新動作說明 . . . . .	19
圖2.13多工處理 . . . . .	21

圖2.14平行處理 . . . . .	21
圖3.1數位系統設計之Y型架構 . . . . .	24
圖3.2階層式設計 . . . . .	25
圖3.3數位IC 設計之技術分類 . . . . .	27
圖3.4設計流程 . . . . .	29
圖3.5 FPGA基本結構 . . . . .	31
圖3.6 XILINX FPGA之CLB內部結構 . . . . .	31
圖3.7 ALTERA FPGA之LE內部結構 . . . . .	32
圖3.8 FPGA內部連接線結構 . . . . .	33
圖3.9 Xilinx FPGA I/O接腳結構 . . . . .	33
圖4.1 Dual Core MCU Model . . . . .	40
圖4.2四階管線化 . . . . .	41
圖4.3 Dual Core Processor . . . . .	42
圖4.4 控制訊號流向 . . . . .	42
圖4.5擷取階段結構 . . . . .	43
圖4.6解碼階段之結構 . . . . .	45
圖4.7執行階段結構 . . . . .	46
圖4.8寫回階段結構 . . . . .	47
圖4.9理想四階管線 . . . . .	48
圖4.10未經處理之上述程式管線運作情形 . . . . .	49
圖4.11使用管線暫停處理資料危障 . . . . .	50
圖4.12從EW管線暫存器回傳新資料給執行階段 . . . . .	50
圖4.13於執行階段加入前饋單元 . . . . .	51
圖4.14前饋單元之輸出入信號 . . . . .	52
圖4.15未經處理之上述程式的管線運作情形 . . . . .	54
圖4.16暫停了3個管線週期 . . . . .	55
圖4.17 VON-NEUMANN和HARVARD結構 . . . . .	56
圖4.18 雙核心處理器記憶體系統 . . . . .	57
圖4.19 L2快取欄位的分配及對應之位址 . . . . .	58
圖4.20記憶體控制器訊號連接的情形 . . . . .	59
圖4.21快取控制器運作流程 . . . . .	60
圖4.22記憶體控制器運作流程 . . . . .	61
圖4.23快取控制器控制管線暫停 . . . . .	62
圖4.24 L1快取一致偵測，交叉偵測 . . . . .	63
圖4.25(A)(B) L1快取一致動作情形 . . . . .	63
圖4.26雙核心微控制器 . . . . .	65
圖5.1 Altera Cyclone EP1C6 FPGA Kit . . . . .	66
圖5.2指令測試觀察點 . . . . .	67
圖5.3 UART測試 . . . . .	67
圖5.4(A)(B)指令測試(一) . . . . .	69
圖5.5(A)(B)指令測試(二) . . . . .	71
圖5.6多工處理 . . . . .	73
圖5.7多工處理測試 . . . . .	74
圖5.8邏輯分析儀量測portA2及portB2情形 . . . . .	75
圖5.9 CPU1控制點矩陣LED實際運作情形 . . . . .	75
圖5.10平行處理 . . . . .	76
圖5.11平行處理測試 . . . . .	77
圖5.12 PWM原理 . . . . .	78
圖5.13 PWM參數在SFR中之設定 . . . . .	79
圖5.14 PWM信號輸出(一) . . . . .	80
圖5.15 PWM信號輸出(二) . . . . .	80
圖5.16對一直流馬達進行加減速控制 . . . . .	81
圖5.17 UART所對應之SFR參數 . . . . .	82

圖5.18 UART傳輸測試 . . . . .	84
圖5.19(A)(B)圖5.18之放大 . . . . .	85
圖5.20點矩陣LED動態左移 . . . . .	87
圖5.21溫控系統 . . . . .	88
圖5.22主程式由CPU0執行，副程式由CPU1執行 . . . . .	88
圖5.23 40 情形 . . . . .	89
圖5.24 47 情形，風散運轉 . . . . .	89
圖5.25 29 情形，LED燈亮帶表繼電器閉合 . . . . .	90

## 表目錄

表2.1溝通、連接方式與它的對照架構 . . . . .	14
表4.1記憶體存取指令 . . . . .	35
表4.2邏輯算數指令 . . . . .	36
表4.3程式流程控制指令 . . . . .	37
表4.4 I格式指令機械碼對照 . . . . .	37
表4.5 R格式指令機械碼對照 . . . . .	38
表4.6 J格式指令機械碼對照 . . . . .	39
表4.7 SFR功能設定對照表 . . . . .	44

## 參考文獻

- [1] 卓聖鵬，嵌入式系統開發技術，全華科技圖書。
- [2] 楊明豐，8051單晶片C語言設計實務，碁?。
- [3] 鍾富昭，8051/8052系列原理介紹與產品設計，全華科技 圖書。
- [4] 何信龍、李雪銀，" PIC16C7X入門與應用範例 "。
- [5] 唐佩忠，" VHDL與數位邏輯設計"高立。
- [6] 鄭信源，" Verilog 硬體描述語言數位電路，儒林。
- [7] 陸自強，" 數位系統實習 Quartus "，儒林。
- [8] 蔡國瑞、林明權，" 快速數位系統IC雛型設計實務。
- [9] William Stallings, " Computer Organization and Arthitecture Design for Performance " ,Sixth edition.
- [10] John L.Hennessy,David A.Patterson, " Computer Architecture:A Quantitative Approach " ,Third edition.
- [11] John L.Hennessy,David A.Patterson, " Computer Organization and Design " Third edition.
- [12] Hesham El-Rewini,Mostafa Abd-El-Barr, " Advanced Computer Architecture and Parallel Processing.
- [13] M.Morris Mano, " Computer System Architecture Third edition.
- [14] Wayne Wolf, " FPGA-Based System Design.
- [15] Samir Palnitkar, " Verilog HDL:A Guide to Digital Design and Synthesis.
- [16] Lei Chai,Qi Gao,Dhabaleswar K.Panda, " Understanding the Impact of Multi-Core Architecture in Cluster Computing:A Case Study with Intel Dual-Core System " ,IEEE,2007.
- [17] Hossein Pourreza,Peter Graham, " On the Programming Impact of Multi-Core,Multi-processor Nodes in MPI Clusters " ,IEEE,2007.
- [18] Sadaf R.Alam,Richard F.Barrett,Jeffery A.Kuehn,Philip C.Roth,Jeffrey S.Vetter. " Characterizatio-n of Scientific Workloads on Systems with Multi-Core Processors " ,IEEE,2006.
- [19] Pawel Gepner,Michal F.Kowalik, " Multi-Core Processors:New Way to Achieve High System Performance " ,IEEE,2006.