

Implementation of a Dual Mips-like Core Chip

謝東翰、陳慶順

E-mail: 9607822@mail.dyu.edu.tw

ABSTRACT

This study implements a 32-b RISC microprocessor of dual MIPS-like core chip by using algorithmic state machine (ASM) and Verilog hardware description language. The overall design is simulated by using SynaptiCAD, programmed to FPGA chip by using Xilinx ISE 7.1, synthesized and IC layouted by using Cadence BuildGates and SOC Encounter, respectively. The developed architecture of dual-core chip with enhanced performance, validated by control circuit of a stepper motor, can applied to more applications such as robot control and image processing, etc.

Keywords : MIPS

Table of Contents

目錄 封面內頁 簽名頁 授權書	iii	中文摘要	iv
. iv 英文摘要	v	誌謝	vi
目錄	vii	圖目錄	ix
. xi	第一章 緒論	1.1 研究動機	1
的	2	1.2 目的	2
. 3	2	2.1 MIPS架構	3
. 3	2	2.2 MIPS指令格式	5
2.4演算法狀態機	8	2.3指令規劃	7
由上而下設計與純行為模式	11	2.5處理器的設計原理	10
架構	14	2.6處理器	13
. 17	3	2.7本研究的ASM圖	13
FPGA 設計流程	22	2.8本研究設計的	13
. 25	4	3.1簡介	17
4.1.1處理器輸出訊號的不正常	28	3.2電腦輔助設計與產業	18
的問題	31	3.3 FPGA晶片	21
. 33	4	3.4	24
. 37	5	3.5硬體描述語言	24
. 39	5	3.6步進馬達	28
		4.1似MIPS雙核心處理器設計上的問題與解決方法	28
		4.1.1處理器輸出訊號的不正常	28
		4.1.2輸出至步進馬達訊號異常	30
		4.1.3頻率	31
		4.2實驗結果	33
		4.2.1 FPGA 晶片驗證	33
		4.2.2示波器量測結果	35
		4.2.3 Cadence IC 合成與佈局	37
		4.3結論	38
		4.4參考文獻	41

REFERENCES

- [1] Peter Clark, "IMEC 將針對多核心架構展開為期三年的研究計畫," http://www.eettaiwan.com/ART_8800464358_622964_NT_bcaf7ee1.HTM, 電子工程專輯, 2007.
- [2] 劉建宏, 陳敬, 異質性多處理器嵌入式系統微核心之設計與實做, 成功大學, 電機工程研究所, 碩士論文, 2004 [3] D. A. Patterson. and J. L. Hennessy, "Computer Organization & Design: The Hardware/Software Interface," 2nd Ed., 1 – 1 to 5 – 43, Morgan Kaufmann, California, 1997.
- [4] Mark Holland, Harnessing FPGAs for Computer Architecture Education ,ACM/SIGDA International Symposium on Field Programmable Gate Arrays – FPGA, 2002.
- [5] 蔡安朝, 陳慶順, 潘天賜, 實現一個運用似MIPS 架構之步進馬達控制系統晶片, 2004 中華民國自動控制研討會, 大葉大學, 2004.
- [6] "探討台灣機器人產業發展前景 科技論壇 五月登場," http://www.eettaiwan.com/ART_8800462815_676964_NT_7aa08663.HTM, 電子工程專輯, 2007.
- [7] " 機器人市場興起 教育娛樂、家用服務將成先鋒 ", http://www.eettaiwan.com/ART_8800465839_676964_NT_64960106.HTM, 電子工程專輯, 2007.
- [8] " 工研院與新光保全成功開發保全機器人SeQ-1," http://www.eettaiwan.com/ART_8800460772_876045_NT_4d488069.HTM, 電子工程專輯, 2007.

- [9] K. J. Lee, "Fault Sensitivity Analysis of A 32-bit RISC Microprocessor," VLSI and CAD, ICVC '99. 6th International Conference, pp. 529 – 532, 1999.
- [10] 施福基, 邱坤麒, 陳慶順, 潘天賜, 呂嘉弘, "適用於系統晶片之混合模式可合成似MIPS 處理器核心", 2005 第三屆微電子技術發展與應用研討會, 高雄海洋科技大學, 2005.
- [11] 廖元億, 陳慶順, 具備非揮發性記憶體介面之可合成似MIPS微處理器結構化模式設計, 大葉大學, 電機工程研究所, 碩士論文, 2006 [12] " MIPS32TM Architecture For Programmers Volume I: Introduction to the MIPS32TM Architecture," MIPS Technologies Inc, Mountain View, CA 94043-1353., March 2001.
- [13] W. Stallings, " Reduced Instruction Set Computer Architecture, " Proceedings of the IEEE, Volume 76, Issue 1, pp. 38 – 55, Jan.1988.
- [14] G. Gannot, "Verilog HDL Based FPGA Design," Verilog HDL Conference, International, pp. 86-92, 1994.
- [15] C. E. Cummings, "Verilog Simulation of Xilinx Designs," Verilog HDL Conference, International, pp. 93-100, 1994.