

# 實現一個似MIPS雙核心晶片

謝東翰、陳慶順

E-mail: 9607822@mail.dyu.edu.tw

## 摘要

本研究利用Verilog 硬體描述語言(Hardware Description Language, HDL)和演算法狀態機制(Algorithmic State Machine, ASM)實現一個雙核心之似MIPS架構的32位元精簡指令集微處理器，配合SynaptiCAD進行模擬並以Xilinx ISE7.1實現於FPGA晶片中，應用於步進馬達進行驗證，最後使用Cadence Buildgates與SOC Encounter 分行進行合成與IC佈局。本研究所設計的雙核心架構後續並可與很多領域結合，例如機器人控制，影像處理等等，藉以提升效率。

關鍵詞：雙核心

## 目錄

目錄封面內頁 簽名頁 授權書 . . . . .	iii	中文摘要 . . . . .	iv
. . . . . iv 英文摘要 . . . . .	v	誌謝 . . . . .	vi
目錄 . . . . .	vii	圖目錄 . . . . .	ix
. . . . . xi	第一章 緒論	1.1 研究動機 . . . . .	1
. . . . . 2	1.2 目的 . . . . .	2	2
. . . . . 3	第二章 理論基礎與設計架構	2.1 MIPS架構 . . . . .	3
. . . . . 5	2.2 MIPS指令格式 . . . . .	5	5
. . . . . 8	2.3指令規劃 . . . . .	7	7
. . . . . 8	2.4演算法狀態機 . . . . .	8	8
. . . . . 10	2.5處理器的設計原理 . . . . .	10	10
. . . . . 11	2.6處理器由上而下設計與純行為模式 . . . . .	11	11
. . . . . 13	2.7本研究的ASM圖 . . . . .	13	13
. . . . . 14	2.8本研究設計的架構 . . . . .	14	14
. . . . . 17	第三章 軟硬體設計工具與原理	3.1 簡介 . . . . .	17
. . . . . 18	3.2電腦輔助設計與產業 . . . . .	18	18
. . . . . 21	3.3 FPGA晶片 . . . . .	21	21
. . . . . 22	3.4 FPGA設計流程 . . . . .	22	22
. . . . . 24	3.5硬體描述語言 . . . . .	24	24
. . . . . 25	3.6步進馬達 . . . . .	25	25
. . . . . 28	第四章 結果與討論	4.1 似MIPS雙核心處理器設計上的問題與解決方法 . . . . .	28
. . . . . 28	4.1.1處理器輸出訊號的不正常 . . . . .	28	28
. . . . . 30	4.1.2輸出至步進馬達訊號異常 . . . . .	30	30
. . . . . 31	4.1.3頻率的問題 . . . . .	31	31
. . . . . 33	4.2 實驗結果 . . . . .	33	33
. . . . . 35	4.2.1 FPGA 晶片驗證 . . . . .	35	35
. . . . . 37	4.2.2示波器量測結果 . . . . .	37	37
. . . . . 38	4.2.3 Cadence IC 合成與佈局 . . . . .	38	38
. . . . . 39	第五章 結論 . . . . .	39	39
. . . . . 41	參考文獻 . . . . .	41	41
. . . . . 41	附錄 在學榮譽2007年第一屆國際微機構競賽冠軍獎狀	41	41

## 參考文獻

- [1] Peter Clark, "IMEC 將針對多核心架構展開為期三年的研究計畫," [http://www.eettaiwan.com/ART\\_8800464358\\_622964\\_NT\\_bcaf7ee1.HTM](http://www.eettaiwan.com/ART_8800464358_622964_NT_bcaf7ee1.HTM), 電子工程專輯, 2007.
- [2] 劉建宏, 陳敬, 異質性多處理器嵌入式系統微核心之設計與實做, 成功大學, 電機工程研究所, 碩士論文, 2004 [3] D. A. Patterson. and J. L. Hennessy, "Computer Organization & Design: The Hardware/Software Interface," 2nd Ed., 1-1 to 5-43, Morgan Kaufmann, California, 1997.
- [4] Mark Holland, Harnessing FPGAs for Computer Architecture Education ,ACM/SIGDA International Symposium on Field Programmable Gate Arrays – FPGA, 2002.
- [5] 蔡安朝, 陳慶順, 潘天賜, 實現一個運用似MIPS 架構之步進馬達控制系統晶片, 2004 中華民國自動控制研討會, 大葉大學, 2004.
- [6] "探討台灣機器人產業發展前景 科技論壇 五月登場," [http://www.eettaiwan.com/ART\\_8800462815\\_676964\\_NT\\_7aa08663.HTM](http://www.eettaiwan.com/ART_8800462815_676964_NT_7aa08663.HTM), 電子工程專輯, 2007.
- [7] " 機器人市場興起 教育娛樂、家用服務將成先鋒 ", [http://www.eettaiwan.com/ART\\_8800465839\\_676964\\_NT\\_64960106.HTM](http://www.eettaiwan.com/ART_8800465839_676964_NT_64960106.HTM), 電子工程專輯, 2007.
- [8] " 工研院與新光保全成功開發保全機器人SeQ-1," [http://www.eettaiwan.com/ART\\_8800460772\\_876045\\_NT\\_4d488069.HTM](http://www.eettaiwan.com/ART_8800460772_876045_NT_4d488069.HTM), 電子工程專輯, 2007.
- [9] K. J. Lee, "Fault Sensitivity Analysis of A 32-bit RISC Microprocessor," VLSI and CAD, ICVC '99. 6th International Conference, pp. 529

- 532, 1999.

- [10] 施福基, 邱坤麒, 陳慶順, 潘天賜, 呂嘉弘, "適用於系統晶片之混合模式可合成似MIPS 處理器核心", 2005 第三屆微電子技術發展與應用研討會, 高雄海洋科技大學, 2005。
- [11] 廖元億, 陳慶順, 具備非揮發性記憶體介面之可合成似MIPS微處理器結構化模式設計, 大葉大學, 電機工程研究所, 碩士論文, 2006 [12] " MIPS32TM Architecture For Programmers Volume I: Introduction to the MIPS32TM Architecture, " MIPS Technologies Inc, Mountain View, CA 94043-1353., March 2001.
- [13] W. Stallings, " Reduced Instruction Set Computer Architecture, " Proceedings of the IEEE, Volume 76, Issue 1, pp. 38 – 55, Jan.1988.
- [14] G. Gannot, "Verilog HDL Based FPGA Design," Verilog HDLConference, International, pp. 86-92, 1994.
- [15] C. E. Cummings, "Verilog Simulation of Xilinx Designs,"Verilog HDL Conference, International, pp. 93-100, 1994.