

CMOS 元件 ESD 保護電路可靠性之研究

鄭凱仁、鍾翼能

E-mail: 9511373@mail.dyu.edu.tw

摘要

在奈米CMOS 積體電路中，靜電放電(ESD)防護能力隨著元件的尺寸縮減而大幅地降低，傳統的ESD 防護電路設計及方法已不堪使用，所以在奈米製程中ESD防護元件的挑選及ESD 防護電路設計必需更加以改良。我們針對一個具有初始導通特性already-on (native)的NMOS 元件，研究其ESD 元件特性，並提出其在奈米CMOS 積體電路上的創新應用。這種already-on (native)NMOS 元件具有較低或是負臨界電壓(threshold voltage)的特性。當IC 受到ESD轟擊時，這種already-on (native)元件會具有初始導通的特性，也就是說，當IC浮接時，這種already-on (native)元件就會在導通狀態下來等待ESD 的轟擊。所以這種already-on (native)元件在理論上具有最快的導通速度及最低的觸發電壓。如此，才能有效率地保護在奈米製程中超薄的閘極氧化層(厚度小於15Å)。IC 在一般正常操作下，為了使這種already-on (native)元件關閉來避免不必要的漏電流，該元件的閘極需要加上一負偏壓來關閉元件的通道。

關鍵詞：already-on (native)元件, NMOS, 靜電放電

目錄

封面內頁 簽名頁 授權書	iii	中文摘要	vii
. iv 英文摘要	v	誌謝	vii
. vi 目錄	vii	圖目錄	vii
xi 第一章 緒論 1.1 研究動機	1	1.2 研究目的	1
. 1.3 論文架構	3	第二章 靜電放電防護設計之基本概念 2.1 靜電放電的產生	4
. 4.2.2 靜電放電模型	5	2.2.2 機器放電模式	7
. 4.2.2.1 人體放電模式	5	2.2.3 元件充電模式	8
. 8 2.2.4 電場感應模式	10	2.3 防護電路概念	11
. 11 2.3.1 防護電路之設計概念	12	2.4 防護元件之選用	16
. 16 2.5 靜電放電防護電路的實例	19	第三章 靜電放電主要放電路徑及數學模型 3.1 靜電放電至電感、電容、電阻的簡單模型	22
. 23 3.2 CR-R 放電模型	23	3.2.1 暫態分析	23
. 24 3.3 CR-C 放電模型	25	3.3.1 暫態分析	25
. 26 3.3.2 穩態分析	27	3.3.3 耦和雜訊分析	27
. 28 3.4 CR-L 放電模	29	3.4 能量分析	29
第四章 CMOS靜電放電防護元件 4.1 簡介	31	4.2 元件及其特性分析	32
. 32 4.3 Already-on (native)元件的DC 特性	33	4.4 TLP(Transmission Line Pulsing)	35
. 35 4.5 元件的ESD 保護單元	39	4.6 全晶片ESD 防護設計	41
. 41 4.7 具有複晶矽二極體的負電壓產生電路	43	第五章 結論與展望	46
. 46 參考文獻	47	圖目錄	47
圖2.1 人體放電模式靜電放電電流與時間關係	6	圖2.2 人體放電模式等效圖	6
. 6 圖2.3 機器放電模式等效圖	7	圖2.4 元件充電放電模式等效圖	9
. 9 圖2.5 人體放電模式(2KV)、機器放電模式(200V)和元件充電模式(1KV)放電電流與時間比較圖	10	圖2.6 全方位靜電放電防護電路	13
. 10 圖2.7 異常靜電放電損傷積體電路內部電路的示意圖	15	圖2.8 各種ESD防護元件的I-V特性	18
. 15 圖2.9 CMOS積體電路中幾種常見的輸入級ESD防護電路	20	圖3.1 CR-R 模型	23
. 20 圖3.2 CR-R 放電之負載電壓波形	24	圖3.3 CR-C 放電模型	26
. 24 圖3.3 CR-C 放電模型	26	圖3.4 CR-C 放電之負載電壓電流波形	27
. 27 圖3.5 CR-L 模型	29	圖4.1 (a)一般元件的詳細結構圖, (b)already-on (native)元件的詳細結構圖	32
. 29 圖4.1 (a)一般元件的詳細結構圖, (b)already-on (native)元件的詳細結構圖	33	圖4.3 Already-on (native)元件的DC 的特性曲線圖	35
. 33 圖4.4 Already-on 元件與一般元件的TLP 特性曲線圖	35		

. 36 圖4.5 Already-on 元件與一般元件的觸發電壓 V_{t1} 與穩態電壓 V_h 在不同通道長度下的比較

. 38 圖4.6 Already-on (native)元件與一般元件的二次崩潰電流 I_{t2} 與導通電阻 R_{on} 在不同通道長度下的比較

. 39 圖4.7 ESD 防護單元由(a)單一-already-on (native)元件構成 , (b)一個already-on(native)及一個FOD 元件所組成

. 40 圖4.8單一FOD 元件與already-on 元件結合FOD 元件單元的TLP 特性圖

. 41 圖4.9利用具有起始導通特性之ESD 防護單元所形成的全晶片ESD 防護電路

. 43 圖4.10利用複晶矽二極體所構成的負電壓產生電路的電路圖 44 圖4.11負電壓產生電路在輸入方波後所產生的負電壓值

45 表目錄 表2.1 人體放電模式(HBM)工業標準及耐壓能力表 7 表2.2 機器放電模式(MM)工業標準及耐壓能力表 8 表2.3 元件充電放電模式(CDM)工業標準及耐壓能力表 9 表2.4 靜電放電規範與防治方法 11 表2.5 CMOS積體電路晶片上靜電放電防護電路的設計考量 14 表2.6 各種元件在0.8微米CMOS製程下ESD耐壓能力之比較21

參考文獻

1. MIL-STD-883C method 3015.7, "Military Standard Test Methods and Proc. For Microelectronics", Dept. of Defense, Washington, D. C., U.S.A., 1989.
2. "Scaling-in ESD/EOS reliability for Sub-Halfmicron CMOS Processes," IEEE Transactions on Electron Devices, Vol. 43, No. 6, pp. 991-999, June 1996.
3. Ming-Dou Ker and Tain-Shun Wu, "ESD Protection for Submicron CMOS IC ' s—A Tutorial, " CCL Technical Journal, Vol. 42, pp. 10-24, Sept. 1995
4. T. J. Maloney and N. Khurana, "Transmission Line Plasing Techniques for Circuit Modeling of ESD Phenomena, " EOS/ESD Symposium Proceedings, EOS-7, pp. 49-54, 1985.
5. C. Duvvury, R. N. Rountree, and O. Adams, "Internal chip ESD phenomena beyond the protection circuit," IEEE Trans. on Electron Devices, vol. 35, pp.2133-2139, Dec., 1988.
6. M. D. Jaffe and P. E. Cottrell, "Electrostatic discharge protection in a 4-Mbit DRAM," EOS/ESD Symp. Proc., 1990, EOS-12, pp.218-223.
7. C. C. Johnson, T. J. Maloney, and S. Qawami, "Two unusual HBM ESD failure mechanisms on a mature CMOS process," EOS/ESD failure mechanisms on a mature CMOS process," EOS/ESD Symp. Proc., 1993, EOS-15, pp.225-231.
8. H. Terletzki, W. Nikutta, and W. Reczek, "Influence of the series resistance of on-chip power supply buses on internal device failure after ESD stress," IEEE Trans. on Electron Devices, vol. 40, pp. 2081-2083, Nov., 1993.
9. C.-N. Wu, M.-D. Ker, et al., "Unexpected ESD damage on internal circuits of sub- μ m CMOS technology," Proc. of International Electron Devices and Materials Symposium, 1996, pp.143-146.
10. EOS/ESD Standard for ESD Sensitivity Testing, EOS/ESD Association, NY., 1993.
11. C. Duvvury and C. Diaz., " Dynamic gate coupling of NMOS for efficient output 12. ESD protection, " in Proc. of IRPS, 1992, pp.141-150.
13. M.-D. Ker, C.-Y. Wu, T. Cheng, and H.-H. Chang, " Capacitor-couple ESD 14. protection circuit for deep-submicron low-voltage CMOS ASIC, " IEEE Trans. on 15. VLSI Systems, vol. 4, no. 3, pp. 307-321, 1996.
16. M.-D. Ker, T.-Y. Chen, and C.-Y. Wu., " Design of cost-efficient ESD clamp 17. circuits for the power rails of CMOS ASIC ' s with substrate-triggering technique, " 18. in Proc. of IEEE Int. ASIC Conf. and Exhibit, 1997, pp. 287-290.
19. M.-D. Ker, T.-Y. Chen, C.-Y. Wu, H. Tang, K.-C. Su, and S.-W. Sun, " Novel 20. input ESD protection circuit with substrate-triggering technique in a 0.25- μ m 21. shallow-trench-isolation CMOS technology, " in Proc. of IEEE Int. Symp. on 22. Circuits and Systems, 1998, vol. 2, pp. 212-215.
23. C. Duvvury, S. Ramaswamy, A. Amerasekera, R. Cline, B. Anderson, and V. 24. Gupta., " Substrate pump NMOS for ESD protection applications, " in Proc. of 25. EOS/ESD Symp., 2000, pp. 7-17.
26. M.-D Ker, T.-Y. Chen, and C.-Y. Wu, " ESD protection design in a 0.18- μ m 27. silicide CMOS technology by using substrate-triggered technique, " in Proc. of 28. IEEE Int. Symp. on Circuits and Systems, 2001, pp.754-757.
29. M.-D. Ker, C.-Y. Chang, and H.-C. Jiang, " Design of negative charge pump 30. circuit with polysilicon diodes in a 0.25- μ m CMOS process, " in Proc. of IEEE 31. AP-ASIC Conf., 2002, pp. 145-148.
32. M.-D Ker, T.-Y. Chen, and C.-Y. Chang, " ESD protection design for CMOS RF 33. integrated circuits, " in Proc. of EOS/ESD Symp., 2001, pp. 346-354.