

具備非揮發性記憶體介面之可合成似 MIPS 微處理器結構化模式設計

廖元億、陳慶順

E-mail: 9510654@mail.dyu.edu.tw

摘要

本研究利用 Verilog 硬體描述語言(Hardware Description Language, HDL)和演算法狀態機制(Algorithmic State Machine, ASM)發展一似MIPS架構之32位元精簡指令集處理器核心，進行行為、混合與結構等模式設計，並配合SynaptiCAD模擬與FPGA晶片快速成型應用於步進馬達控制電路進行驗證。本研究提出的似MIPS處理器核心合成所需的邏輯閘數目精簡，整體設計也為正確可行。並且成功的把機器碼分開實現於外部非揮發性記憶體上，可以有效的改善FPGA晶片容量的使用率。

關鍵詞：MIPS、ASM、Verilog、FPGA、Nonvolatile Memory

目錄

封面內頁 簽名頁 授權書.....	iii	中文摘要.....	iv	英文摘要.....	v	誌謝.....	vi	目錄.....	vii	圖目錄.....	ix	表目錄.....	xii	第一章緒論	1.1 研究動機.....	1	1.2 研究目的.....	2	第二章 文獻回顧	2.1 MIPS 架構.....	3	2.2 MIPS 的指令格式.....	5	2.3 指令規劃.....	11	2.4 演算法狀態機.....	12	2.5 純行為模式.....	14	2.6 混合模式.....	14	2.7 結構模式.....	16	第三章 研究方法	3.1 前言.....	18	3.2 電腦輔助設計與積體電路產業.....	19	3.3 硬體描述語言.....	23	3.4 FPGA 設計流程.....	25	3.5 FPGA 構造.....	28	3.6 步進馬達.....	34	3.7 非揮發性記憶體.....	36	第四章 結果與討論	4.1 處理器核心.....	39	4.2 步進馬達控制系統晶片.....	49	第五章 結論 結論.....	63	參考文獻.....	65
-------------------	-----	-----------	----	-----------	---	---------	----	---------	-----	----------	----	----------	-----	-------	---------------	---	---------------	---	----------	------------------	---	---------------------	---	---------------	----	-----------------	----	----------------	----	---------------	----	---------------	----	----------	-------------	----	------------------------	----	-----------------	----	--------------------	----	------------------	----	---------------	----	------------------	----	-----------	----------------	----	---------------------	----	----------------	----	-----------	----

參考文獻

- [1] M. G. Arnold, T. A. Bailey, J. R. Cowles, J. J. Cupal, & F. N. Engineer, " Behavior to Structure: Using Verilog and In - Circuit Emulation to Teach How An Algorithm Becomes Hardware, " Verilog HDL Conference, Proceedings, pp.19 – 28 IEEE International Vol. 27 – 29 March 1995,.
- [2] M. G. Arnold, " Verilog Digital Computer Design Algorithms into Hardware, " 1st Ed., Prentice Hall PTR.
- [3] M. Holland, " Harnessing FPGAs for Computer Architecture Education, " ACM/SIGDA International Symposium on Field Programmable Gate Arrays, California, 1997.
- [4] 蔡安朝, 陳慶順, 潘天賜, "實現一個運用似MIPS架構之步進馬達控制系統晶片", 2004 中華民國自動控制研討會, 大葉大學, 2004。
- [5] 施福基, 邱坤麒, 陳慶順, 潘天賜, 呂嘉弘, "適用於系統晶片之混合模式可合成似MIPS處理器核心", 2005 第三屆微電子技術發展與應用研討會, 高雄海洋科技大學, 2005。
- [6] D. A. Patterson. and J. L. Hennessy, " Computer Organization & Design: The Hardware/Software Interface, " 2nd Ed., 1 – 1 to 5 – 43, Morgan Kaufmann, California, 1997.
- [7] 林灶生, 劉紹漢, "Verilog FPGA 晶片設計", 全華出版社, 2004。
- [8] K. J. Lee, "Fault Sensitivity Analysis of A 32-bit RISC Microprocessor," VLSI and CAD, ICVC '99. 6th International Conference, pp. 529 – 532, 1999.
- [9] MIPS32TM Architecture For Programmers Volume I: Introduction to the MIPS32TM Architecture, " MIPS Technologies Inc, Mountain View, CA 94043-1353., March 2001.
- [10] W. Stallings, " Reduced Instruction Set Computer Architecture, " Proceedings of the IEEE, Volume 76, Issue 1, pp. 38 – 55, Jan. 1988.
- [11] 陳啟鏘, 具高速算術運算能力之精簡指令集微控制器的設計, 逢甲大學, 資訊工程所, 碩士論文, 2002。
- [12] C. Bobda, "A Rapid Prototyping Environment for Distributed Reconfigurable Systems," Proceedings of the 13th IEEE International Workshop on Rapid System Prototyping, pp. 153 – 158, 2002.
- [13] M. Gschwind, "FPGA Prototyping of A RISC Processor Core for Embedded Applications," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, pp. 241 – 250, 2001.

- [14] 洪肇聰, FPGA-Based 冷氣機數位式溫度控制IC 設計與實現, 中興大學, 電機工程學系, 碩士論文, 2002。
- [15] G. Gannot, "Verilog HDL Based FPGA Design," Verilog HDL Conference, International, pp. 86-92, 1994.
- [16] C. E. Cummings, "Verilog Simulation of Xilinx Designs," Verilog HDL Conference, International, pp. 93-100, 1994.
- [17] <http://cslin.auto.fcu.edu.tw/> [18] http://www.100y.com.tw/pdf_file/W29C011A.PDF