

整合倒傳遞類神經網路之數位信號處理器核心

顏瑞賢、陳慶順、陳木松

E-mail: 9510651@mail.dyu.edu.tw

摘要

本研究以演算法狀態機 (Algorithmic State Machine, ASM) 與 Verilog 硬體描述語言 (Verilog Hardware Description Language, Verilog HDL) 設計一內建一階倒傳遞類神經網路 (First-order Back-propagation Neural Network) 的24位元數位信號處理器 (Digital Signal Processor, DSP)。DSP設計以行為模式設計, 配合SynaptiCAD模擬軟體驗證, 最後完成台積電0.18微米製程超大型積體電路佈局設計。

關鍵詞: 演算法狀態機、Verilog硬體描述語言、數位信號處理器、一階倒傳遞類神經網路

目錄

封面內頁 簽名頁 授權書.....	iii	中文摘要.....	iv	英文摘要.....	v	誌謝.....	vi	目錄.....	vii	圖目錄.....	ix	表目錄.....	xi	第一章 緒論											
1.1 研究動機.....	1	1.2 研究目的.....	2	第二章 文獻回顧		2.1 類神經網路.....	4	2.2 浮點運算單元.....	10	2.3 自然指數函數.....	11	2.4 演算法狀態機.....	16	2.5 數位信號處理器.....	18	第三章									
研究方法		3.1 設計流程.....	21	3.2 軟體部分.....	23	3.3 硬體部分.....	24	3.4 軟硬體結合.....	40	第四章 系統模擬與驗證		4.1 倒傳遞類神經網路演算流程.....	42	4.2 類神經網路測試.....	44	4.3 應用電路模擬驗證.....	47	4.4 DSP 核心模擬.....	51	4.5 合成驗證與IC 佈局.....	58	第五章 結論.....	60	參考文獻.....	62

參考文獻

- [1]王進德、蕭大全 (民92) 「類神經網路與模糊控制理論入門」全華科技圖書股份有限公司, 台北。
- [2] <http://itrifamily.itri.org.tw> [3]胡繼陽、李維仁、柯力群、張志龍「嵌入式系統導論, 3e」學貫行銷股份有限公司, 台北。
- [4]Arnold, M.G., T.A. Bailey J.R. Cowles J.J. GupalF.N, " Behavior to Structure: Using Verilog andIn - Circuit Emulation to Teach How An AlgorithmBecomes Hardware ", Engineer, IEEE, Verilog HDL Conference, P19-28. 1995。
- [5]Arnold, M.G.(2001) Verilog Digital ComputerDesign Algorithms into Hardware' 2001。
- [6]蔡安朝, 陳慶順, 潘天賜, 實現一個運用似MIPS 架構之步進馬達控制系統晶片, 2004 中華民國自動控制研討會, 大葉大學。民93。
- [7]劉俊佑, 陳慶順, 洪榮聰, 發展運用似MIPS 架構之微控制器, 2004 中華民國自動控制研討會, 大葉大學。民93。
- [8]林右文, 陳慶順, 呂嘉弘, 以FPGA 實現交通號誌控制器, 2004 中華民國自動控制研討會,大葉大學。民93。
- [9]施福基, 邱坤麒, 陳慶順, 潘天賜, 呂嘉弘, 適用於系統晶片之混合模式可合成似MIPS 處理器核心第三屆微電子技術發展與應用研討會。2005。
- [10]Iwata, A.and Yoshida, Y.and Matsuda, S.and Sato, Y.and Suzumura, Y. , " An artificial neural network accelerator using general purpose 24 bit floating point digital signal processors " Neural Networks, 1989. IJCNN., International Joint Conference on 18-22 June 1989 Page(s):171 - 175 vol.2 [11]Oh, H.; Kothari, S.C., " A pseudo-relaxation learning algorithm for bidirectional associative memory, " Neural Networks, 1992. IJCNN., International Joint Conference on Volume 2,7-11 June 1992 Page(s):208 - 213 vol.2 [12] " Open Floating Point Unit " <http://www.opencores.org> [13]H.T. Bui, B. Khalaf and S. Tahar: " Table-Driven Floating-Point Exponential Function " Technical Report, Concordia University, Department of Electrical and Computer Engineering, October 1998.
- [14]Ping Tak Peter Tang. " Table-Driven Implementation of the Exponential Function in IEEE Floating-Point Arithmetic. " ACM Transactions on Mathematical Software. vol.no.2.1989 [15]楊紹聖、蕭鳴均、李進福、蔡培元, 「Verilog 數位電腦設計」全華, 2001 [16]Motorola, Inc. " DSP560000 Digital Signal Processor Family Manual " 1995 [17]謝澄漢、饒梓全「DSP 56000 快速入門」益眾資訊有限公司, 台北。民85
- [18] " CMU DSP The Carnegie Mellon Synthesizable Digital Signal ProcessorCore " <http://www.ece.cmu.edu/~lowpower/benchmarks.html>
- [19]葉怡成「應用類神經網路」儒林圖書有限公司, 台北。民88