

LDMOS之ESD保護設計

陳銘輝、陳勝利,陳勛祥,陳昭翰

E-mail: 9500953@mail.dyu.edu.tw

摘要

近年來功率半導體元件被廣泛的應用於工業、商業、住家、通訊、交通與電力等領域。在未來的數十年內，電力電子將朝向高電壓、大電流功率、及低切換模組等方向發展，並且朝向積體電路化。然而，在此領域靜電放電破壞(ESD)問題卻依然存在，甚至比一般低電壓製程之積體電路更脆弱。靜電放電的問題日益嚴重，傳統靜電防護元件的設計大多利用試誤法(trial and error)實際測試或用SPICE模擬等效電路，以獲得適合的保護元件。本研究利用電腦輔助設計軟體TSUPREM-4及MEDICI模擬和改善元件電性，並設計一套ESD保護電路，再利用SCR佈局參數分析比較之結果，使保護元件的電性表現符合Design Window範圍來達到LDMOS的ESD保護最佳化的目的。

關鍵詞：LDMOS；SCR；TSUPREM-4；MEDICI；ESD

目錄

| | | | |
|---|-----|-------------------------------------|----|
| 封面內頁 簽名頁 授權書 | iii | 中文摘要 | |
| iv 英文摘要 | | v 誌謝 | |
| vi 目錄 | | vii 圖目錄 | |
| x 表目錄 | | xiii 第一章 緒論 | |
| 1 1.1 簡介 | 1 | 1.2 論文架構 | |
| 2 第二章 LDMOS功率元件 | 3 | 2.1 功率LDMOS 電晶體結構 | |
| 3 2.2 LDMOS元件操作原理 | 4 | 2.3 元件崩潰的原理 | |
| 5 2.4 LDMOS抗ESD能力 | 6 | 第三章 ESD保護元件及設計方法 | |
| 8 3.1 靜電放電問題 | 8 | 3.2 防護元件之選用 | 8 |
| 3.3 Snapback的特性 | 11 | 3.4 矽控閘流體(SCR) | 13 |
| 3.5 LDMOS ESD保護設計 | 17 | 3.6 元件模擬 | 18 |
| 19 3.7 元件模擬工具 | 20 | 3.8 保護元件Design Window | 21 |
| 21 4.1 元件結構模擬 | 21 | 4.2 LDMOS製程模擬 | 21 |
| 4.3 SCR製程模擬 | 28 | 第五章 LDMOS電性分析 | 30 |
| 5.1 LDMOS結構參數設定 | 30 | 5.2 調變通道長度A | 31 |
| 5.3 調變延伸汲極長度B | 37 | 5.4 LDMOS 基本電性及Latch up考量 | 39 |
| 45 6.1 SCR結構參數設定 | 45 | 6.1.1 SCR等效電路 | |
| 46 6.2 固定陽極P+至LV-PWell邊緣的距離 | 46 | 6.2.1 SCR1515分析 | |
| 49 6.2.2 SCR1550分析 | 53 | 6.3 固定LV-PWell邊緣至陰極N+的距離 | 55 |
| 6.3.1 SCR3015分析 | 57 | 6.4 SCR 保持電壓分析 | 60 |
| 64 參考文獻 | 64 | 第七章 結論 | |
| | | | 65 |

參考文獻

- [1] Ming-Dou Ker, Kun-Hsien Lin, " Double Snapback Characteristics in High-Voltage nMOSFETs and the Impact to On-Chip ESD Protection Design " , IEEE ELECTRON DEVICE LETTERS, VOL. 25, NO. 9, Sept. 2004.
- [2] G. Bertrand, C. Delage, M. Bafleur, N. Nolhier, J. Dorkel, Q. Nguyen, N. Mauran, D. Tremouilles, and P. Perdu, " Analysis and compact modeling of a vertical grounded-base n-p-n bipolar transistor used as ESD protection in a smart-power technology, " IEEE J. Solid-State Circuits, vol. 36, pp. 1373 – 1381, Dec. 2001.
- [3] B. Fankhauser, B. Deutschmann, " Using Device Simulations to Optimize ESD Protection Circuits " ,IEEE International Symposium Electromagnetic Compatibility, Vol. 3, pp.963 – 968, Aug. 2004.
- [4] A. Concannon, V.a. Vashchenko, P. Hopper and M. Ter Beek, " ESD Protection of double-diffusion Devices in Submicron CMOS Processes " ,Solid-State Device Research conference, Proceeding of the 34th European ,pp.261 – 264 , Sept. 2004.
- [5] 柯明道, " ESD Protection in CMOS IC ' s " ,中華民國靜電放電學會,1998.

- [6] A. Amerasekera and C. Duvvury, "ESD in Silicon Integrated Circuits. 2nd ed.", New York: Wiley, 2002.
- [7] M. D. Ker, C.Y. Chang, "ESD protection design for CMOS RF integrated circuits using polysilicon diodes", IEEE Microelectronics Reliability 42th, pp.863-872 2002.
- [8] Harald Gossner, "ESD protection for the deep sub micron regime – a challenge for design Methodology", IEEE Proceedings of the 17th International Conference on VLSI Design, pp.809-818, 2004.
- [9] Charvaka Duvvury, Fred Carvajal, Clif Jones, and David Briggs, "Lateral DMOS design for ESD robustness", IEEE IEDM, pp.97-375, 1997.
- [10] 王志恆, "利用TCAD軟體驗證ESD保護電路", 高速計算世界季刊, pp.20-25, 1996.
- [11] TSUPREM-4 User Manual, Ver. 2002.4, Synopsys, Inc., 2002.
- [12] MEDICI User Manual, Ver. 2002.4, Synopsys, Inc., 2002.
- [13] Nitin Mohan Anil Kumar, "ESD Protection design Methodology in deep sub-micron CMOS technologies", Project Report, Course E&CE 730(Topic 9) VLSI Quality, Reliability and Yield Engineering, Winter 2003.
- [14] 莊達人編著, "VLSI 製造技術", 高立圖書, 第三版 1997.
- [15] 原著/James D. Plummer, Michael D. Deal, Peter B. Griffin, 譯者/羅正忠, 李嘉平, 鄭湘原, "半導體工程-先進製程與模擬" 培生教育出版, 2002.
- [16] V. De Heyn, G. Groeseneken, B. Keppens, M. Natarajan, L. Vacaresse and G. Gallopyn, "Design And Analysis of New Protection Structures for Smart Power Technology with Controlled Trigger and Holding Voltage", IEEE 01CH37167.39th Annual international Reliability Physics Symposium, Orlando, Florida, 2001.
- [17] A.W. Ludikhuize, M. Slotboom, A. Nezar, N. Nowlin, R. Brock, "Analysis of hot-carrier-induced degradation and snapback in submicron 50 V lateral MOS transistors", IEEE International Symposium, Power Semiconductor Devices and IC's, pp.53 – 56, May 1997.