

# 交換式電容和差類比數位轉換器設計

林宜宏、洪進華；姚品全

E-mail: 9420026@mail.dyu.edu.tw

## 摘要

本論文設計一高解析度的交換式電容和差類比數位轉換器。在硬體實現上，由於運算放大器的摺疊疊接架構有助於轉換器效能的提升，我們使用具有摺疊疊接運算放大器之交換式電容積分器來設計二階和差調變器。在超取樣率為32時，我們可得到56.9分貝的最大訊號雜訊比(相當於九位元的解析度)，所採用的是TSMC 0.35  $\mu$ m 2P4M製程，其電路在供應電壓3.3伏特下工作，功率消耗為20.59毫瓦。

關鍵詞：交換式電容；和差調變器

## 目錄

封面內頁 簽名頁 授權書 . . . . .	iii	中文摘要 . . . . .	iii
. . . . . iv 英文摘要 . . . . .	iv	v 誌謝 . . . . .	v
. . . . . vi 目錄 . . . . .	vi	vii 圖目錄 . . . . .	vii
. . . . . x 表目錄 . . . . .	x	xiii	xiii
第一章 緒論 1.1 研究動機 . . . . .	1	1.2 類比數位與數位類比轉換器 . . . . .	1
. . . 2 1.2.1 類比數位轉換器 . . . . .	2	1.2.2 數位類比轉換器 . . . . .	3
1.3 奈奎氏率與超取樣類比數位轉換器 . . . . .	4	1.3.1 奈奎氏率類比數位轉換器 . . . . .	5
1.3.2 超取樣類比數位轉換器 . . . . .	6	1.4 論文章節架構 . . . . .	8
第二章 和差類比數位轉換器原理架構 2.1 奈奎氏率與量化誤差 . . . . .	9	2.1.1 脈波調變技術 . . . . .	9
2.1.2 奈奎氏率 . . . . .	10	2.1.3 量化誤差 . . . . .	11
2.2 和差類比數位轉換器技術 . . . . .	13	2.2.1 超取樣技術 . . . . .	14
2.2.2 雜訊移頻技術 . . . . .	16	2.3 和差類比數位轉換器 . . . . .	17
2.3.1 一階和差類比數位轉換器 . . . . .	18	2.3.2 二階和差類比數位轉換器 . . . . .	22
2.4 數位降頻濾波器 . . . . .	25	第三章 交換式電容電路 3.1 交換式電容電路原理 . . . . .	26
3.2 交換式電容電路基本元件 . . . . .	28	3.2.1 MOS開關 . . . . .	29
3.2.2 非重疊時脈 . . . . .	32	3.3 交換式電容積分器原理 . . . . .	33
3.3.1 敏感性積分器 . . . . .	36	3.3.2 非敏感性積分器 . . . . .	40
3.3.3 信號流程圖分析 . . . . .	42	3.4 交換式電流電路 . . . . .	44
3.5 交換式電容電路與交換式電流電路比較 . . . . .	48	第四章 電路設計與模擬分析 4.1 和差調變技術 . . . . .	51
4.2 和差類比數位轉換器實現 . . . . .	52	4.2.1 類比開關 . . . . .	53
4.2.2 運算放大器 . . . . .	55	4.2.3 積分器 . . . . .	56
4.2.4 一位元數位類比轉換器 . . . . .	57	4.2.5 非重疊時脈產生器電路 . . . . .	59
4.2.6 一階和差類比數位轉換器 . . . . .	59	4.2.7 二階和差類比數位轉換器 . . . . .	62
4.2.8 實體層佈局考量 . . . . .	65	第五章 結論 5.1 結論 . . . . .	68
5.2 未來方向 . . . . .	69	參考文獻 . . . . .	70

## 參考文獻

- [1] D. A. Johns and K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, Inc., 1997.
- [2] 陳連春, “AD/DA變換技術,” 建宏出版社, 1994.
- [3] P. M. Aziz, H. V. Sorensen, and J. V. D. Spiegel, “An Overview of Sigma-Delta Converter,” IEEE Signal Processing Magazine, Vol. 13, No. 1, pp. 61-84, Jan. 1996.
- [4] P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design, Oxford University Press, 2002.
- [5] J. C. Candy, “Decimation for Sigma Delta Modulation,” IEEE Transactions on Communications, Vol. COM-34, No. 1, pp. 72-76, Jan. 1986.
- [6] Behzad Razavi, “Design of Analog CMOS Integrated Circuits,” McGraw-Hill, 2001.
- [7] D. L. Fried, “Analog Sample-Data Filters,” IEEE J. Solid-State Circuits, Vol. 7, pp. 302-304, Aug. 1972.

- [8] J. B. Hughes, N. C. Bird, and L. C. Macbeth, " Switched Current - A New Technique for Analog Sampled-Data Signal Processing, " IEEE International Symposium on Circuits and Systems, pp. 1154-1187, 1989.
- [9] 翁萬德、江松茶, " 通訊系統(第四版), " 全華科技圖書公司, 2001.
- [10] 陳俊宏, " Sigma-Delta ADC 簡介, " 旺陽電企業股份有限公司, 2003.
- [11] Tim Schonauer, " Sigma-Delta Modulation using Switched-Current Techniques, " Integrated Circuits Laboratory, Sep. 1995.
- [12] 黃克強, " 淺談Delta-Sigma之工作原理, " 高傳真視聽233期, 1995.
- [13] Wen-Whe Sue, Zhi-Ming Lin, and Chou-Hai Huang, " A high DC-Gain Folded-Cascode CMOS Operational Amplifier, " IEEE Southeastcon '98. Proceedings, pp. 176-177, 24-26 Apr. 1998.
- [14] E. Hosseinzadeh, J. Belzile, C. Thibeault, " VLSI Implementation of a High Speed Order Sigma-Delta Modulator with High-Performance Integrators, " IEEE Canadian Conference, Vol. 2, pp. 545-548, May 1998.
- [15] 張智星, " MATLAB 程式設計與應用, " 清蔚科技股份有限公司, Feb. 2000.
- [16] Shen-luan Liu, Chien-Hung Kuo, Ruey-Yuan Tsai, and Jingshown Wu, " A Double-Sampling Pseudo-Two-Path Bandpass Modulator, " IEEE J. Solid-State Circuits, Vol. 35, No. 2, pp. 276-280, Feb. 2000.
- [17] C. R. T. D. Mori, P. C. Crepaldi, and T. C. Pimenta, " A 3-V 12-bit Second Order Sigma-Delta Modulator Design in 0.8-  $\mu$  m CMOS, " 14th Symposium on Integrated Circuits and Systems Design, pp. 124-129, Sept. 2001.
- [18] 楊永祥, " 四階高解析度超取樣 類比數位轉換器之設計與實現, " 國立臺灣海洋大學, 2002.