

# ESD/TLP量測儀器及電子元件抗ESD分析研究

王光一、陳勝利 許崇宜

E-mail: 9419813@mail.dyu.edu.tw

## 摘要

當積體電路製成的精密度，越來越細緻，積體電路的可靠性工程，一直有著非常重要的地位，在設計、製程、技術的改善，均可提高積體電路的可靠度，在良率提升之後，還有其他影響可靠性工程的因素，ESD的破壞是其中之一項，而遭ESD的破壞是可避免的，學術上已有許多的ESD保護電路的產生，在保護電路的元件中，常又因元件受ESD STRESS影響，造成保護電路無保護功能，保護電路元件的可靠性令人質疑，本論文將以保護電路的元件做ESD電擊測試，分析其抗ESD能力，首先挑選避免閃鎖效應(latch up)的元件，分析其洩放ESD所加的能量可靠性的能力，再以近似模擬ESD STRESS的儀器，做抗靜電放電能力測試。量測元件能夠有效進入第一崩潰點的電壓值，並能維持住，適當洩放ESD所施加的能量，並能夠有效的避免第二崩潰點的來臨，如何找出適當的第一崩潰點，和找出第二崩潰點，來分析其在靜電放電當保護電路元件的可行性。

關鍵詞：可靠度.崩潰點

## 目錄

封面內頁 簽名頁 授權書 . . . . .	iii	中文摘要 . . . . .	iii
. . . . .	iv	英文摘要 . . . . .	v
. . . . .	vi	目錄 . . . . .	vii
. . . . .	x	圖目錄 . . . . .	xiii
. . . . .	x	表目錄 . . . . .	xiii
第一章 緒論 1.1 靜電放電問題 . . . . .	1	1.2 保護靜電破壞電路元件 . . . . .	2
1.3 測試儀器 :傳輸線觸波產生系統 . . . . .	3	1.4 論文架構 . . . . .	3
第二章 靜電放電 2.1 靜電放電的成因 . . . . .	4	2.2 靜電放電破壞機制 . . . . .	5
2.2.1 人體放電模型 . . . . .	5	2.2.2 機器放電模型 . . . . .	9
2.2.3 元件放電模型 . . . . .	10	2.2.4 電場感應模型 . . . . .	11
2.3 靜電放電測試組合與程序 . . . . .	11	2.3.1 靜電放電測試組合 . . . . .	11
2.3.2 I/O PIN的靜電放電測試 . . . . .	11	2.3.3 PIN TO PIN的靜電放電測試 . . . . .	12
2.3.4 VDD-to-VSS的靜電放電測試 . . . . .	13	2.3.5 Analog pin的靜電放電測試 . . . . .	14
2.3.6 靜電放電測試故障臨界 . . . . .	15	2.4 靜電放電測試判定標準 . . . . .	16
2.5 靜電放電測試結果判讀 . . . . .	17	第三章 靜電放電保護電路基本元件 3.1 靜電放電保護電路概念 . . . . .	19
3.2 電阻 . . . . .	20	3.3 二極體 . . . . .	21
3.4 雙載子界面電晶體 . . . . .	23	3.5 金屬半場效電晶體 . . . . .	26
3.6 矽控整流器 . . . . .	29	3.7 瞬間突壓抑制器 . . . . .	33
第四章 ESD/TLP量測儀器 4.1 研究量測儀器: ATLP . . . . .	35	4.1.1功能 . . . . .	35
4.1.2 保護電路的元件 . . . . .	35	4.1.3 來源 . . . . .	36
4.1.4 原理與工作 . . . . .	36	4.1.5 觀察與判斷 . . . . .	39
4.2 分析討論 . . . . .	40	第五章 測試結果與討論 5.1 測試方法 . . . . .	43
5.2 用TLP測試結果 . . . . .	44	5.3 IC定點橫切面 . . . . .	51
第六章 結論 . . . . .	61	參考文獻 . . . . .	62

## 參考文獻

- [ 1 ] "American nation standard guide for electrostatic discharge test methodologies and criteria for electronic equipment" accredited standards committee on electromagnetic compatibility, c63, USA.
- [ 2 ] 柯明道,陳東暘 "次微米互補式金氧半積體電路之靜電防護" CCL TECHNICAL JOURNAL 9.5.,PP.85-96 1997.
- [ 3 ] MIL-STD-883C method 3015.7, "Military Standard Test Methods and Proc.for Microelectronics" ,Dept.of defense,Washington,D.C.,U.S.A.,1989.
- [ 4 ] JEDC STANDARD JESD22-A114-B "Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model(HBM)." JEDEC SOLID STATE TECHNOLOGY ASSOCIATION,june 2000.
- [ 5 ] JEDC STANDARD JESD22-A114-B "Electrostatic Discharge (ESD) Sensitivity Testing Machine Model(MM)." JEDEC SOLID STATE TECHNOLOGY ASSOCIATION,june 2000.
- [ 6 ] 李文明, "功率MOS元件ESD破壞可靠性分析之研究" 大葉大學,2000
- [ 7 ] 朱季齡, "

功率MOS元件ESD破壞可靠性分析之研究” 大葉大學,2000 [ 8 ] 柯明道, “次微米互補式金氧半積體電路之靜電防護-全晶片防護設計篇”, 電腦與通訊,第62期,pp.67~83,1997 [ 9 ] 李文明, “功率電晶體IC之ESD破壞分析及保護電路設計”, 電力電子技術月刊,pp.220-226,2000 [ 10 ] 李文明, “積體電路高容值I/O埠抗ESD靜電破壞能力之量測” 電子月刊,vol.6,no.4,pp.220-226,2000 [ 11 ] 黃致遠, “靜電放電保護電路設計與門鎖效應防制之研究” 大葉大學,2002