

應用於90奈米元件複晶矽閘極受應力之影響造成臨界電壓偏移之研究

張炯隆、王立民；陳勛祥

E-mail: 9419805@mail.dyu.edu.tw

摘要

目前互補式金氧半導體元件(Complementary Metal Oxide Semiconductor, CMOS)應用於系統整合晶片(System on Chip, SOC)，已儼然成為未來的一個趨勢，這其中最關鍵的技術係如何於同一個晶圓中，成長不同的氧化層厚度及如何使用不同的操作偏壓。為能使電路能夠達到一個較佳的狀態，不論可靠度的問題或是電路的架構，都必須在整合的同時加以考量。因此電路的結構設計，往往建立於得到更好的性能之上。在MOSFET元件裡，不僅其通道長度微縮至奈米數量級，其絕緣氧化層更薄至數顆原子直徑大小的超薄厚度。以現今的半導體製造技術而言，90nm~65nm的製程技術為目前企業界與學術界共同的研發目標，在這奈米元件製程世代裡，為使微縮後的奈米元件仍保留所需的元件特性，超薄的氧化層已成為不可或缺的製程條件。然而，在氧化層厚度小於2.0nm後，元件的閘極穿隧電流將愈來愈大，而且此穿隧電流隨著氧化層厚度的線性微縮卻是以非線性的指數等比效應劇烈驟升。此穿隧電流不僅造成元件操作時多餘的功率消耗，更劇烈影響了元件原有的電性與物性，對與元件的參數萃取及產品可靠性分析也造成相當大的干擾。通道長度、氧化層厚度、離子佈植角度、溫度之間的正負相依性。另外，高閘極漏電流亦造成閘極電容值萃取上的困難，隨著氧化層的愈來愈薄，閘極穿隧電流嚴重影響閘極電容值的精確值，這樣對閘極電容值的失真效應也深切影響到電子電路工程的設計和應用。對於此現象，論文中也提出相關的研究，並試圖找尋其補償機制。奈米製程已即將進入量產時程，超薄氧化層所造成的高閘極漏電流對於元件製造技術與電子電路的設計應用的確產生相當大的困擾，此一技術瓶頸若能找出有效的解決方案，則半導體奈米單晶片產業將會有顯著的突破。這也將使促進產業起飛的莫爾定律在未來的10-20年裡繼續適用。

關鍵詞：互補式金氧半導體元件、系統整合晶片、氧化層厚度

目錄

| | | |
|---|-----|--|
| 封面內頁 簽名頁 授權書 | iii | 中文摘要 |
| iv 英文摘要 | iv | vi 誌謝 |
| vii 目錄 | vii | viii 圖目錄 |
| xi 表目錄 | xv | |
| 第一章 緒論 1.1 研究背景與動機 | 1 | 1.1.2 論文的編制 |
| 2 第二章 相關原理與理論之描述 2.1 元件結構 | 3 | 2.2 90奈米製程的NMOS |
| 4 2.3 通道長度的基本認知 | 7 | 2.3.1 利用電流電壓量測方式來萃取通道長度 |
| 8 2.3.2 利用電容電壓量測方式來萃取通道長度 | 10 | 2.3.3 利用電容電阻量測方式來萃取通道長度 |
| 11 2.4 通道長度調變效應 | 12 | 2.4.2 臨界電壓的效應 |
| 12 2.5 如何定義臨界電壓 | 12 | 2.6 臨界電壓 |
| 12.6.1 臨界電壓理論與公式的描述 | 13 | 2.6.1 臨界電壓理論與公式的描述 |
| 13 2.6.2 如何萃取臨界電壓的量測理論 | 13 | 2.6.2 如何萃取臨界電壓的量測理論 |
| 13.2.7 次臨界電壓斜率 | 15 | 2.8 電性量測得到氧化層厚度和物理上的氧化層厚度的不同 |
| 18 2.9 結論 | 18 | 2.9.1 結論 |
| 第三章 熱載子效應與複晶矽閘極氧化層之間的薄膜受應力影響 3.1 引言 | 21 | 2.9.2 熱載子效應與複晶矽閘極氧化層之間的薄膜受應力影響 |
| 3.1.1 熱載子效應的關係(Hot Carrier Effect) | 21 | 3.1.2 熱載子效應導致的損害 |
| 21 3.1.2 熱載子效應導致的損害 | 25 | 3.1.3 熱載子效應的機制 |
| 26 3.2 機械應力性質 | 31 | 3.3 彈性形變性質 |
| 32 3.4 塑性形變性質 | 34 | 3.5 薄膜應力 |
| 37 第四章 實驗結果分析與討論 4.1 實驗的說明 | 41 | 4.2 改變空乏植入(Halo Implant)的角度的影響 |
| 43 4.3 改變複晶矽關鍵尺寸(POLY CD)的機制 | 51 | 4.3 改變複晶矽關鍵尺寸(POLY CD)的機制 |
| 56 4.4 不同側壁推移(OF-SPACER)厚度的影響 | 61 | 4.4 不同側壁推移(OF-SPACER)厚度的影響 |
| 61 4.5 改變空乏植入(Halo Implant)的劑量的影響 | 72 | 4.5 改變空乏植入(Halo Implant)的劑量的影響 |
| 66 第五章 結論與未來展望 5.1 結論 | 72 | 5.1 結論 |
| 未來展望 | 73 | 5.2 未來展望 |

參考文獻

- [1] H. Lin, C. Hu, J. H. Huang, T. Y. Chan, M. C. Jeng, P. K. Ko, and Y. C. Chen, "Threshold voltage model for deep submicrometer MOSFET's," IEEE Trans. Electron Devices, vol. 40, p.86, 1993.

- [2]E. F. Runnion, S. M. Gladstone, R. S. Scott, Jr., D. J. Dumin, L. Lie, and J. C. Mitros, " Thickness dependence of stress induced leakage currents in silicon oxide, " IEEE Trans. Electron Devices, vol. 44, p.993, 1997.
- [3]K. Sakakibara, N. Ajika, M. Hatanaka, H. Miyoshi, and A. Yasuoka, " Identification of stress induced leakage current components and the corresponding trap models in SiO₂ films, " IEEE Trans. Electron Devices, vol. 44, p. 986, 1997.
- [4]H. Iwai, H. S. Momose , M. Saito, M. Ono, and Y. Katsumata, " The future of ultra small geometry MOSFET ' s beyond 0.1 micron, " Microelect. Eng. vol. 28, no. 147, 1995.
- [5]E. Harari, " Dielectric breakdown in electrically stressed thin films of thermal SiO₂, " J. Appl. Phys. Vol. 49, p. 2478, 1978.
- [6]C. J. Sofield and A. M. Stoneham, " Oxidation of silicon : the VLSI gate dielectric, " Semicond . Sci. Technol, vol. 10, p. 215, 1995.
- [7]P. Apte and K. C. Saraswat, " Constant current stress breakdown in ultrathin SiO₂ films, " IEEE Trans. Electron Devices, vol 41,p. 215, 1595, 1994.
- [8]H. Cho, B. Cabon, S. Cristoloveanu and G.. Ghibaudo, " Experimental determination of short channel MOSFET parameters, " Solid-St. Electron., vol. 28,p. 1025, 1985.
- [9]廖禦傑，澄別深次微米PMOS元件之NBTI與HC的影響效應，大葉大學電機工程研究所碩士論文，民國93年。
- [10]莊達人，" VLSI製程技術 "，高立圖書有限公司，台北。
- [11]BEN G. STREETMAN ; SANJAY BANERJEE , Solid State Electronic Devices , 東華書局 ,p 327-330。
- [12]Knoch, J.; Lengeler, B.; Appenzeller, J.; Quantum simulations of an ultrashort channel single-gated n-MOSFET on SOI; Electron Devices, IEEE Transactions on , Volume: 49 , Issue: 7 , July 2002 p. 1212 - 1218。
- [13]Sun-Mo Kang Yusuf Leblebici; " CMOS Digital Integrated Circuits Analysis and Design " McGRAW HILL publish.2003。
- [14]Mercha, A.; Rafi, J.M.; Simoen, E.; Augendre, E.; Claeys, C "Linear kink effect induced by electron valence band tunneling in ultrathin gate oxide bulk and SOI MOSFETS " IEEE Electron Devices, July 2003 p. 1675 - 1682。
- [15]許?梁，奈米超薄氧化層MOS元件之高閘極漏電流特性描與分析，台北科技大學自動化科技研究所碩士論文，民國92年。