

# 利用餘裕 / 不對稱時間減少邏輯電路中的尖峰電流

賴永浩、鄭經華；林浩仁

E-mail: 9418545@mail.dyu.edu.tw

## 摘要

IR-Drop是超深次微米製程下的一個著名的電源整合 (Power Integrity) 議題。電壓降不只引起電路延遲，在低電壓供應時更會造成降低電路的雜訊容忍度的問題，而且微電動 (Electronmigration) 也會造成電路可信度的問題。在此議題下，有兩個最大尖峰電流評估的理論被提出來。理論一是使用非相依性測試向量 (Pattern Independent) 的方式，這是被認為最差情況 (Worst-Case) 的一種理論。理論二是利用相依性測試向量 (Pattern Dependent) 的方式，這是較理論一實際的一種評估方式。電路的實際尖峰電流可以由使用設計者所提供的驗證輸入測試向量中獲得。由於理論一的方式高估了尖峰電流，精確的尖峰電流是動態行為 (與測試向量相依)，所以使用真實的測試向量可以計算出真實的邏輯閘切換尖峰電流。這種量測方法精確且低於理論一的方法，可以更合理地幫助於電源網絡設計。尖峰電流可以因邏輯閘具有較低的輸入/輸出切換斜率比而減少[14]。但輸入訊號的切換斜率不只影響邏輯閘延遲，相對也影響了邏輯閘的尖峰電流。所以，較低的輸入/輸出切換斜率比雖可以減少尖峰電流，但是要以不影響電路效能為前提。在減少尖峰電流的議題中，邏輯閘尺寸調整 (Gate Resizing) 與輸入順序變換 (Input Reordering) 是可用的技術。每一個邏輯閘的輸出訊號切換斜率可以邏輯閘驅動能力來描述，所以邏輯閘尺寸調整技術是在邏輯合成階段從標準細胞元件庫中選擇相同功能但面積較小 (驅動能力較小) 的邏輯閘來作置換。而輸入順序變換技術則是利用控制訊號/非控制訊號的關係將降低輸入/輸出切換斜率比來最小化尖峰電流。實驗結果說明了邏輯閘尺寸調整與輸入順序變換技術是既不會增加最長路徑的延遲，又能減少尖峰電流的可行方法。

關鍵詞：邏輯閘尺寸調整技術；輸入順序變換技術

## 目錄

封面內頁 簽名頁 授權書 iii 中文摘要 iv 英文摘要 vi 誌謝 viii 目錄 ix 圖目錄 xi 表目錄 xiv 第1章 序論 1 1.1 研究動機 1 1.2 論文研究方向 1 1.3 論文研究重點 2 1.4 整體架構(Framework) 4 第2章 相關研究與背景知識 5 2.1 尖峰電流介紹 5 2.2 邏輯閘尺寸調整介紹(Gate Resizing) 10 第3章 電路延遲的計算與電流模型 14 3.1 線性延遲模型(Linear Delay Model) 14 3.1.1 線性延遲計算(Linear Delay Calculation) 14 3.1.2 Genlib File Extraction 16 3.2 電流模型(Current Model) 20 3.3 線性時序分析(Linear Timing Analysis) 31 3.3.1 線性靜態時序分析(Linear Static Timing Analysis) 31 3.3.2 線性動態時序分析(Linear Dynamic Timing Analysis) 36 3.4 電流與邏輯模擬結合分析 43 第4章 利用邏輯閘尺寸調整減少電路尖峰電流 48 4.1 理論基礎 48 4.2 例子實作 52 第5章 降低尖峰電流的流程架構 59 5.1 線性動態時序分析 61 5.2 建立電流 - 時間表 62 5.3 檢查限制演算法 62 第6章 實驗結果 65 第7章 結論與未來工作 72 參考文獻 73

## 參考文獻

- [1]S. Chowdhury and J.S. Barkatullah, "Estimation of Maximum Currents in MOS IC Logic Circuits", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 9, No. 6, pp. 642-654, June 1990.
- [2]Harish Kirplani, Farid N. Najm, and Ibrahim N. Hajj, "Pattern Independent Maximum Current Estimation in Power and Ground Buses of CMOS VLSI Circuits: Algorithms, Signal Correlations, and Their Resolution", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 14(8):998 - 1012, August 1995.
- [3]A. Krstic and K.-T. Cheng, "Vector Generation for Maximum Instantaneous Current Through Supply Lines for CMOS Circuits", Proceedings of Design Automation Conference, pp. 383-388, June 1997.
- [4]H. Kriplani, F. Najm, and I. Hajj, "Improved Delay and Current Models for Estimating Maximum Currents in CMOS VLSI Circuits", IEEE International Symposium on Circuits and Systems, vol. 1, pp. 435-438, 1994.
- [5]Y.-M. Jiang, A. Krstic and K.-T. Cheng, "Estimation of Maximum Power Supply Noise for Deep Sub-Micron Designs", International Symposium on Low Power Electronics and Design, pp. 233-238, 1998.
- [6]T. Murayama, K. Ogawa, H. Yamaguchi, "Estimation of peak current through CMOS VLSI circuit supply lines", Design Automation Conference, 1999. Proceedings of the ASP-DAC '99. Asia and South Pacific, pp. 295 - 298, 1999.
- [7]P. Vanoostende, P. Six and H.J. de Man, "PRITI: estimation of maximal currents and current derivatives in complex CMOS circuits using activity waveforms", Proceedings of the European Design Automation Conference, pp. 347-353, 1993.

- [8]Yi-Min Jiang, Kwang-Ting Cheng, and An-Chang Deng, " Estimation of Maximum Power Supply Noise for Deep Sub-Micron Designs " , Dept. of Electrical & Computer Engineering University of California, pp. 233-238, August 1998.
- [9]Chuan-Yu Wang, and Kaushik Roy, " Maximization of Power Dissipation in Large CMOS Circuits Considering Spurious Transition " , Volume 47, Issues 4, Senior Member, IEEE, pp. 483-490, April 2000.
- [10]An-Chang Deng, Yan-Chyuan Shiau Shiau, and Kou-Hung Loh, " Time Domain Current Waveform Simulation of CMOS Circuits " , Department of Electrical Engineering Texas A&M University, pp. 208-211, November 1988.
- [11]ZHU Ning, ZHOU Runde, YANG Xingzi, " Global approach for CMOS circuit optimization by transistor resizing " , Tsinghua University, Beijing 100084, China.
- [12]P.Girard, C.landrault, S.Pravossoudovitch, D.Severac, " A Gate Resizing Technique for High Reduction in Power Consumption " [13]Jiong Luo and Niraj K. Jha, " Battery-Aware Static Scheduling for Distribution Real-Time Embedded System " , Department of Electrical Engineering, Princeton University, Princeton, NJ, 08544 [14]Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic, " Digital Integrated Circuits " , Prentice Hall Electronics and VLSI Series, Charles G. Sodini, Series Editor.
- [15]Ching-Hwa Cheng, Wei-Chih Shen, Yung-Hau Lai, Wen-Jui Chang, " Peak Current Aware Static Timing Analysis, " The 15th VLSI Design/CAD symposium, p3-16, 2004.