

Study on Nanocomposite Resist for the Fabrication of Nano-device

羅世嵩、黃俊達

E-mail: 9314938@mail.dyu.edu.tw

ABSTRACT

Lithography process is important in making technology of semiconductor and integrated circuit (IC) . In early days, the exposure(G-line , I-line , DUV , EUV and VUV) of the exposure system, mask technology (PSM , OAI and OPC) and photo resist (BL and CRA) have achieve deep-submicron (0.18um , 0.13um , 0.10um). Recent years, the industrial association of the Semiconductor Industry Association (SIA) , presents possible solutions to exposure technology. At the same time, the semiconductor industry and some research center. In Taiwan develop new exposure processing, electron beam lithography and electron beam resist application. In this is we utilize the nano particle (C60 and C70) to modify the electron beam resist (DSE1010 and NEB22) and we application to lithography and etching process. The contact hole and sheet resistance were accomplished in our work. Moreover, step coverage of the metal (TiN) was applied the contact holes, silicide and narrow line effect to the stability of sheet resistance were discussed also.

Keywords : 電子束微影製程 ; 奈米元件 ; 接觸窗口 ; 片電阻 ; 階梯覆蓋 ; 金屬矽化物 ; 細線幅效應

Table of Contents

封面內頁 簽名頁 授權書.....	iii	中文摘
要.....	iv	英文摘
要.....	v	誌
謝.....	vi	目
錄.....	vii	圖目
錄.....	ix	表目
錄.....	xv	第一章 緒
論.....	1	第二章 實驗.....5
實驗動機與目的.....	5	2.2實驗藥品與設備.....6
2.2.1實驗藥		品.....6
2.2.2實驗設備.....	7	2.3正型阻劑 (DSE1010) 與修
飾後之阻劑應用與研.....	8	2.3.1靈敏度測試和變動劑量之實驗.....8
2.3.2抗蝕刻製程分析與?		究.....9
2.3.3奈米尺寸之圖案?究與製作.....	9	2.3.4金屬覆蓋能力之探
討.....	9	2.4負型阻劑(NEB22)與修飾後之阻劑的應用與研究.....10
2.4.1敏感度及劑量之實		驗.....10
2.4.2抗蝕刻製程分析與研究.....	11	2.4.3奈米尺寸之圖案研究與製
作.....	11	2.4.4奈米金屬矽化物閘極應用片電阻量測之研究.11
第三章 結果與討		論.....14
3.1正型阻劑和阻劑修飾法之實驗結果與討論.....	14	3.1.1靈敏度及變動
劑量之分析.....	14	3.1.2抗蝕刻製程分析與研究.....14
3.1.3奈米尺寸之圖案?究與製		作.....15
3.1.4金屬覆蓋能力之探討.....	16	3.2負型阻劑和阻劑修飾法之實驗結果與討
論.....	17	3.2.1靈敏度及變動劑量之分析.....17
3.2.2抗蝕刻製程分析與研究.....	18	3.2.3
奈米尺寸圖案研究與製作.....	18	3.2.4金屬矽化物閘極應用片電阻測量之研究.....19
第四章 結		論.....20
參考文獻.....	20	
圖目錄 圖1.1 半導體工業協會 (SIA) 所發布的最新元件里程圖.....	26	圖1.2 正、負光阻曝光顯影成像及蝕刻後的圖形
轉移結果剖析....	28	圖1.3 正光阻中的樹脂/感光劑與溶解速率之關係.....28
圖1.4 微影製程步		驟.....29
圖1.5 正型與負型電阻劑之製程.....	30	圖1.6
C60 奈米粒子團結構示意圖.....	31	圖1.7 C70 奈米粒子團結構示意圖.....31
圖1.8 (a) 在一般傳統製程中, 未經修飾的阻劑, 在顯影後造成阻劑倒塌, 與蝕刻後圖案的變形與失真 (b) 經由修飾之		後阻劑, 可以提高的解析度、抗蝕刻能力, 有更好的圖形轉移能力.....32
圖2.1 (a) 說明未經修飾阻劑, 在小線寬時光阻易造成倒塌的現, (b) 利用TEOS當作硬式光罩 (Hard mask) , 造成非		等向性 蝕刻的問題.....40
圖2.2 NiSi (process flow) 流程示意		圖.....41
圖2.3 (a) 片電阻的Layout 圖 (b) 片電阻與四點探針應用圖..	42	圖2.4 固定X方向線寬
為200nm, 改變Y方向的線寬, 片電阻量測可靠度測試.....	43	圖2.5 固定Y方向線寬

為200nm，改變X方向的線寬，片電阻量測可靠度測試.....	44
圖3.1 正型阻劑之對比度與靈敏度之定義圖.....	45
圖3.2 顯示出DSE阻劑經由修飾前後對電子束曝光劑量對臨界能量與靈敏度關係.....	45
圖3.3 利用氧化矽乾式蝕刻製程，顯示出未經修飾 DSE阻劑，與不同重量百分比之C60奈米修飾阻劑.....	46
圖3.4 利用氧化矽乾式蝕刻製程，顯示出未經修飾DSE阻劑，與不同重量百分比之C70奈米修飾阻劑，不同蝕刻氣體流量對蝕刻厚度關係.....	47
圖3.5 用氧化矽 乾式蝕刻製程，顯示出經 C60、 C70 修飾之DSE阻劑，較未經修飾之DSE阻劑，有較好之抗蝕刻能力.....	48
圖3.6 顯示出未經修飾的DSE阻劑劑量對接觸窗口尺寸關係圖.....	49
圖3.7 顯示出DSE阻劑加入C60修飾後劑量對接觸窗口尺寸關係.....	50
圖3.8 顯示出DSE阻劑加入C70修飾後劑量對接觸窗口尺寸關係.....	51
圖3.9 (a,b)顯示出DSE 阻劑再未經過修飾時，在 (DOSE=12.5 μ C/ cm ²) 可以定義出100nm的接口.....	52
圖3.10 (a,b) 顯示出DSE阻劑再未經過修飾時，在高的劑量下，所定義出80nm的接觸洞口，雖然可以到51nm的尺寸，但發生圖形嚴重失真變形.....	53
圖3.11 (a) 經C60修飾後，增加阻劑感度，曝出65nm的接觸洞 (b) 經C70修飾後，增加阻劑感度，曝出60nm的接觸洞.....	54
圖3.12 (a, b)DSE+C70_0.02%， Etch time=45sec， CHF3/CHF3+CF4 = 1.0， 定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	56
圖3.13 (a, b)DSE+C70_0.02%， Etch time=45sec， CHF3/CHF3+ CF4 = 0.75， 定義圖形尺寸為60nm的壕溝之度，上下兩張圖表示橫切面的圖案.....	57
圖3.14 (a, b)DSE+C70_0.02%， Etch time=45sec， CHF3/CHF3 +CF4 =0.5， 定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	58
圖3.15 (a, b) DSE+C70_0.02%， Etch time=45sec， CHF3/CHF3+CF4 =0.25， 定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	59
圖3.16 (a, b)DSE+C70_0.02%， Etch time=45sec， CHF3/CHF3 +CF4 =0.0， 定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	60
圖3.17 (a) 為 CVD的示意圖， (b) 為PVD的示意圖.....	61
圖3.18 (a, b) 顯示沉積薄膜的階梯覆蓋能力。其中， w 為接觸洞的洞徑， h為洞深：a所指為表面， b為洞壁， c為洞底， d為洞口.....	62
圖3.19 顯示因為階梯覆蓋能力不佳所形成的孔洞現象.....	63
圖3.20 (a, b) Metal CVD， Etch time=45sec， CHF3/CHF3 + CF4=1.0定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	64
圖3.21 (a, b) Metal CVD， Etch time=45sec， CHF3/CHF3 + CF4=0.75定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	65
圖3.22 (a, b) Metal CVD， Etch time=45sec， CHF3/CHF3+ CF4=0.5定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	66
圖3.23 (a, b) Metal CVD， Etch time=45sec， CHF3/CHF3+ CF4=0.25 定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	67
圖3.24 (a, b) Metal CVD， Etch time=45sec， CHF3/CHF3+CF4=0.0定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	68
圖3.25 (a, b) Metal PVD， Etch time=45sec， CHF3/CHF3+CF4=1.0定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	69
圖3.26 (a, b) Metal PVD， Etch time=45sec， CHF3/CHF3+ CF4=0.75定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	70
圖3.27 (a, b) Metal PVD， Etch time=45sec， CHF3/CHF3+ CF4=0.5定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	71
圖3.28 (a, b) Metal PVD， Etch time=45sec， CHF3/CHF3+ CF4=0.25定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	72
圖3.29 (a, b) Metal PVD， Etch time=45sec， CHF3/CHF3+ CF4=0.0定義圖形尺寸為60nm的壕溝之寬度，上下兩張圖表示橫切面的圖案.....	73
圖3.30 負型阻劑之對比度與靈敏度之定義圖.....	76
圖3.31 顯示出DSE阻劑經由修飾前後對電子束曝光劑量對臨界能量與靈敏度關係.....	76
圖3.32 利用多晶矽乾式蝕刻製程，顯示出未經修飾 NEB阻劑，與不同重量百分比之C60奈米修飾阻劑.....	77
圖3.33 利用多晶矽乾式蝕刻製程，顯示出未經修飾 NEB阻劑，與不同重量百分比之C70奈米修飾阻劑.....	78
圖3.34 利用多晶矽乾式蝕刻製程，顯示出經C60、 C70修飾之NEB阻劑，較未經修飾之NEB阻劑，有較好之抗蝕刻能力.....	79
圖3.35 加入C60與C70奈米粒子團，填補了阻劑中的自由體積，提升阻劑的抗蝕刻能力.....	80
圖3.36 顯示出NEB阻劑再未經過修飾時的圖案，在低的劑量下，發生圖形嚴重失真變形 (a) 小倍率放大時 (b) 大倍率放大時.....	81
圖3.37 (a) 經C60修飾後，增加阻劑感度，曝出44nm的線寬， (b)經C70修飾後，增加阻劑感度，曝出36nm的線寬.....	82
圖3.38 (a) 片電阻量測光罩圖檔， (b) 實際利用電子束微影所定義的圖檔.....	83
圖3.38 (c) 在左半邊的電路局部放大圖 (d) 在右半邊的電路局部放大圖.....	84
圖3.38 (e) 量測位置的電路放大圖， (f) 連接部分的電路放大圖.....	85
圖3.39 (a) 經過TCP蝕刻系統量測位置的電路放大圖， (b) 經過TCP蝕刻系統連接部分的電路放大圖.....	86
圖3.40 利用NEB+C70阻劑完成nitride spacer 的SEM圖 (a)與(b)，在做片電阻量測時，各接面的接合有良好的接合能.....	87
圖3.41 當變動的閘極寬度 (60nm ~ 140nm)，發現到Ni/Ti的片電阻約為5 Ω .sq.比Ni / TiN的片電阻約10 Ω .sq.還要小.....	88
圖3.42 當變動的電流輸入寬度 (100nm ~ 180nm)，發現到 Ni / TiN的片電阻約為5 Ω .sq.比Ni / TiN的片電阻約10 Ω .sq.還要小.....	89

圖4.1 奈米元件之電路佈局圖與實體圖.....	90	表目錄	表1.1 美國半導體工業協會 (SIA) 的光罩里程表.....	27	表2.1 未來世代半導體科技對微影製程的要求.....	33	表2.2 自動化光阻塗佈及顯影系統之製程參數表 (a.光阻塗佈) (b.光阻顯影).....	34	表2.3 氧化矽乾蝕刻系統製程參數表.....	35	表2.4 氧化矽乾蝕刻系統製程參數表.....	36	表2.5 金屬化學氣相沉積製程參數表.....	37	表2.6 金屬物理氣相沉積製程參數表.....	38	表2.7 電子迴旋共振式多晶矽蝕刻製程參數表.....	39	表3.1 DSE1010阻劑未經修飾與修飾後曝光量比表.....	55	表3.2 LPCVD TiN 與 PECVD TiN 薄膜性質比較表.....	74	表3.3 多種方式沉積氮化鈦 (TiN) 之比較表.....	75
--------------------------	----	-----	----------------------------------	----	-----------------------------	----	--	----	-------------------------	----	-------------------------	----	-------------------------	----	-------------------------	----	-----------------------------	----	----------------------------------	----	---	----	--------------------------------	----

REFERENCES

- [1] 張勁燕, “深次微米矽製程技術”, 五南圖書出版公司, pp.23-41 (2003)。
- [2] 張俊彥、鄭晃忠, “積體電路製程及設備技術手冊”, 中華民國產業科技發展協會 pp.354 (1997)。
- [3] 張俊彥、鄭晃忠, “積體電路製程及設備技術手冊”, 中華民國產業科技發展協會 pp.355 (1997)。
- [4] 張俊彥、鄭晃忠, “積體電路製程及設備技術手冊”, 中華民國產業科技發展協會 pp.391 (1997)。
- [5] Tetsuyoshi Ishii, Hiroshi Nozawa, and Toshiaki Tamamura, “Nanocomposite resist system”, *Appl.Phys.Lett*,70,1110, (1997) [6] T. Ishii, H.Nozawa, T. Tamamura, and A.Ozawa. “C60-incorporated nanocomposite resist for practical nanometer pattern fabrication”, *Appl.Phys.Lett*,15,2570, (1997)。
- [7] 羅正忠、李嘉平、鄭湘原, 翻譯 “半導體工程-先進製程與模擬”, 台灣培生教育出版股份有限公司, pp.196 (2002)。
- [8] 龍文安, “積體電路微影製程”, 高立圖書有限公司, pp.259-316 (1998)。
- [9] 龍文安, “積體電路微影製程”, 高立圖書有限公司, pp.255 (1998)。
- [10] 羅正忠、張鼎張, 翻譯 “半導體製程技術導論”, 台灣培生教育出版股份有限公司, pp.303-306 (2002)。
- [11] Seiji Samukawa, and Tomonori Mukai, “High-performance silicon dioxide etching for less 0.1-um—high-aspect contact holes”, *Appl.Phys.Lett*,70,1110, (1997)。
- [12] Mitsuo Miyamoto, and Hideto Gotoh “Wet chemical cleaning for damaged layer removal inside the deep sub-micron contact hole”, *IEEE/SEMI. Advanced Semiconductor Manufacturing Conference* (1998)。
- [13] Richard A. Gottscho, C.W. Jurgensen, and D. J. Vitkavage “Microscopic uniformity in plasma etching”, *J.Vac.Sci.Technol.B* 10(5), Sep/Oct, (1992)。
- [14] K. Kurihara, and M Sekine “Plasma characteristics observed through high-aspect-ratio holes in C4F8 plasma”, *Plasma Sources Sci. Technol.* 5 (1996) 121-125. Printed in the UK。
- [15] Paul M. Dentinger, and James W. Taylor “Increasing plasma etch resistance of resist using fullerene additives”, *J.Vac.Sci.Technol.B* 15(6), Nov/Dec, (1992)。
- [16] 羅正忠、張鼎張, 翻譯 “半導體製程技術導論”, 台灣培生教育出版股份有限公司, pp.459 (2002)。
- [17] 莊達人, “VLSI製造技術”, 高立圖書有限公司, pp.174 (2002)。
- [18] 張俊彥、鄭晃忠, “積體電路製程及設備技術手冊”, 中華民國產業科技發展協會 pp.247 (1997)。
- [19] 張勁燕, “深次微米矽製程技術”, 五南圖書出版公司, pp.203 (2003)。
- [20] 張勁燕, “深次微米矽製程技術”, 五南圖書出版公司, pp.213 (2003)。
- [21] 龍文安, “積體電路微影製程”, 高立圖書有限公司, pp.255 (1998)。
- [22] Masami Kakuchi, Makoto Hikita, and Toshiaki Tamamura “Amorphous carbon films as resist masks with high reactive ion etching resistance for nanometer lithography”, *Appl Phys Lett* 48 (13) March 1986.
- [23] 張勁燕, “深次微米矽製程技術”, 五南圖書出版公司, 第四章, pp.137-186 (2003)。
- [24] 羅正忠、張鼎張, 翻譯 “半導體製程技術導論”, 台灣培生教育出版股份有限公司, 第十一章, pp.427-480 (2002)。
- [25] 羅正忠、李嘉平、鄭湘原, 翻譯 “半導體工程-先進製程與模擬”, 台灣培生教育出版股份有限公司, 第十一章, pp.663-773 (2002)。
- [26] 林鴻志, “深次微米閘極工程技術發展”, *電子月刊*, 四卷十一期, pp.68-83 (1998)。
- [27] 吳文發, “金屬系化合物製程及其應用”, *電子月刊*, 四卷十一期, pp.117-130 (1998)。
- [28] S. Wolf and R. N. Tauber, “Silicon Process for the VLSI Era, Vol.1, Process Technology, 1st ed.,”, ch.11, pp.384-406 (1986)。