

澄別深次微米PMOS元件中NBTI與HC的影響效應

廖御傑、王木俊；王立民

E-mail: 9314933@mail.dyu.edu.tw

摘要

互補式金氧半導體元件(Complementary Metal Oxide Semiconductor, CMOS)應用於系統整合晶片(System on Chip, SOC), 已儼然成為未來的一個趨勢, 這其中最關鍵的技術係如何於同一個晶圓中, 成長不同的氧化層厚度及如何使用不同的操作偏壓。為能使電路能夠達到一個較佳的狀態, 不論可靠度的問題或是電路的架構, 都必須在整合的同時加以考量。因此電路的結構設計, 往往建立於得到更好的性能之上。生命期(Life-Time)對於一個元件的優劣是相當具有指標的作用, 然而操控生命期, 其中一個重要的因素, 就是所謂的施加偏壓。但是隨著高度的積體化和功率散逸的增加, 生命期的考量, 若只是單純侷限於室溫下, 由熱載子可靠度(Hot Carrier Reliability, HCR) 來推斷已略顯不足。相較之下, 經由溫度的變化所衍生出來的效應, 才更突顯出其對元件的重要性。熱載子效應(HC)在P型金氧半導體(Positive Channel Metal Oxide Semiconductor, PMOSFET, 以下簡稱PMOS)與(Negative Channel Metal Oxide Semiconductor, NMOSFET) NMOS中相比較, 是屬於較不顯著。負偏壓溫度效應(Negative Bias Temperature Instability, NBTI)將會隨著更高的操作溫度、更高的操作偏壓電場, 使得臨限電壓(V_{TH})、汲極電流(I_{DS})、轉導係數(g_m)產生偏移且越趨明顯。換言之負偏壓溫度效應(NBTI)與熱載子效應(Hot Carrier Effect, HCE) 間的關係仍值得探討與研究。本論文中, 將探討在元件在0.18微米製程中, 若同時存在負偏壓溫度效應(NBTI)與熱載子效應(HC), 是否會對元件造成加乘的損害, 進而分析於不同溫度條件與偏壓之下, 兩種破壞的程度分配比例。最後根據實驗的數據分析顯示, 存有高能量電洞增強與負偏壓溫頓效應損害變得顯著時, 在元件生命期的計算上。熱載子效應與負偏壓溫度效應並非完全獨立, 故此對於未來的PMOS, HC 生命期之可靠度量測, 有必要納入負偏壓溫度效應才能真正掌握HC生命期的值。

關鍵詞: 負偏壓溫度效應; 熱載子效應

目錄

目錄 封面內頁 簽名頁 國科會授權書	iii
. iv 英文摘要	vi
. viii 目錄	
. ix 圖目錄	xi
. xiii 第一章 摘要	1
與動機	1.1 研究背景
. 1.1.2 論文的編制	
. 2 第二章 元件結構與實驗量測	3
. 3.2.1 元件結構	
. 3.2.2 實驗的量測	4
. 4.2.1 初步實驗裝置	
. 4.2.2 實驗的理論	5
. 5.2.3 結論	
. 5 第三章 施加偏壓與溫度對於PMOSFET熱載子效應的關係	
. 7.3.1 引言	7
. 7.3.1.1 熱載子效應	
. 7.3.1.2 熱載子效應所導致的損害	11
. 7.3.1.3 熱載子效應的機制	
. 12 3.2 溫度與基底電流之間的關係	18
與PMOSFET中熱載子可靠性衰減之間的關係	21
. 21 3.3.1 定義施加偏壓的情形	
. 21 3.4 解決熱載子效應的方法	22
對PMOSFET穩定度的影響	26
. 26 4.1 簡介	
. 27 4.1.1 次臨界電壓斜率	
. 30 4.2比較NBTI與其他可靠度問題(FN)之不同	
. 36 4.3溫度與NBTI之間的關連	36
. 36 4.4 閘極電壓 V_G 與NBTI之間的關連	
. 38 第五章 Hot Carrier和NBTI對元件的破壞在不同狀況下和相互間的關係 41 5.1 實驗中NBTI與HC所佔的比例分配	46
. 51 第六章 結論	
. 51 圖目錄 圖2.1為一個CMOS的橫切圖, 左邊為N型金氧半導體元件, 右邊有井區的部分為PMOS	
. 3 圖2.2本實驗的儀器環境與連結	4
. 4 圖3.1熱載子效應是由一些高能量的電子電洞。從通道中穿遂進入氧化層的一個現象	
. 8 圖3.2此圖為ISUB對於時間軸的理想圖形, 呈現出一個鈴鐺的形狀(Bell-shape)	
. 9 圖3.3 為通道中電場的分佈情形與大小	10
. 10 圖3.4 熱載子效應	

所導致的迫害與反應 11 圖3.5 (a)概要式的圖解針對通道熱電子注入(CHE)

. 12 圖3.5 (b) 汲極雪崩熱載子注入機制 (DAHC) 13 圖3.6 I_{sub} 與IG在不同VD電壓下相互關係

. 14 圖3.7施加偏壓 I_{SUB} ,MAX時的電力分佈圖示 15 圖3.8 (a)HC產生撞擊游離(Impact Ionization)的現象(b)Interface state破壞Si-H鍵需要3.7eV 17 圖 3.9

量測 0.18 μm NMOS的基底電流相對於閘極電壓的情形 (a)汲極偏壓 2.5V,(b)汲極偏壓3.6V(μA) 19

圖3.10 I_{SUB} ,MAX 汲極電壓與溫度之間的變化關係 20 圖3.11 藉由實驗的四種機制可以得知

, $V_G=V_D=125$ 時是最差的狀態 . 22 圖3.12 這是(LDD ,Lightly Doped Drain)結構的示意圖 23 圖3.13 元件的

結構與橫向電場 24 圖3.14 熱載子與Life Time的關係

. 25 圖4.1 此圖為標準的 Sub-Threshold 圖形 29 圖4.2 (a)NBTI 施加偏壓於 PMOS 的概要圖

. 31 圖4.2 (b)NBTI 施加偏壓於 PMOS 的能帶圖 32 圖4.3 FN穿遂與直接

穿遂, 能障示意圖 34 圖4.4 FN與NBTI 造成汲極電流衰退的比例關係

. 35 圖4.5 PMOS元件, 在反轉層中載子被分開的結果 36 圖4.6 NBTI效應對於溫度的變化, 在0.35

μm PMOS與0.18 μm PMOS元件中 37 圖4.7 NBTI 效應針對不同

VG在高低溫時所造成的衰退比較 38 圖4.8(a)隨著閘極偏壓變化, V_{th} 與 G_m 在125 時的變化 39

圖4.8(b)隨著閘極偏壓變化, V_{th} 與 G_m 在125 時的變化量 VD較大

. 40 圖5.1 0.18製成, $V_G=V_D=-2.9$...Worst case 42 圖5.2 0.18製成, $V_G = -2.9, V_D = 0$

NBTI 42 圖5.4 0.18製成, (a) $V_G = -1, V_D = -2.9$ (b) $V_G = -1, V_D = -3.6$? $I_{g,MAX}$ VD 越大熱載子溫度

效應越明顯, 隨著溫度增高熱載子效應越弱 43 圖5.5 0.18製成, $V_G =$

$-0.5, V_D = -3.6$ $I_{g,MAX}$ 熱載子負溫度效應不明顯但是有這種傾向 44

圖5.6像NBTI的HC效應, 此效應發生在 $V_G=V_D$ 高溫的狀態下 45 圖5.7隨著通道變短HC效應越嚴重, 衰退也更

明顯 46 表目錄 表5-1(a)通道長度0.18 μm 滿足方程式 48 表5—1(b) : 0.18

μm channel兩種方法所佔的比例大小 49 表5-2(a) : 通道長度0.15 μm 滿足方程式

. 49 表5-2(b) : 0.15 μm channel 兩者所佔的比例大小 50 附錄一 : 半導體參數量測分析儀4156自動控制

程式 52 附錄二 : 實驗使用晶圓資料 : 0.18 PROCESS Channel Length = 0.18 μm

. 62 0.18 PROCESS Channel Length = 0.15 μm 64

參考文獻

- 參考文獻 [1]. Huard, V.; Monsieur, F.; Ribes, G.; Bruyere, S.; " Evidence for hydrogen-related defects during NBTI stress in p-MOSFETs" Reliability Physics Symposium Proceedings, 2003. 41st Annual. 2003 IEEE International , 30 March-4 April 2003, Pages:178 — 182.
- [2]. Chaparala, P.; Shibley, J.; Lim, P. "Threshold voltage drift in PMOSFETS due to NBTI and HCI" Integrated Reliability Workshop Final Report, 2000 IEEE International , 23-26 Oct. 2000,Pages:95 — 97.
- [3]. Doyle, B.S.; Fishbein, B.J.; Mistry, K.R. "NBTI-enhanced hot carrier damage in p-channel MOSFETs"Electron Devices Meeting, 1991. Technical Digest., International , 8-11 Dec. 1991,Pages:529 - 532A..
- [4]. Jie, B.B.; Li, M.F.; Lou, C.L.; Chim, W.K.; Chan, D.S.H.; Lo, K.F." Investigation of interface traps in LDD pMOST's by the DCIV method" Electron Device Letters, IEEE , Volume: 18 , Issue: 12 , Dec. 1997, Pages:583 — 585.
- [5]. Kimizuka, N.; Yamaguchi, K.; Imai, K.; Iizuka, T.; Liu, C.T.; Keller, R.C.; Horiuchi, T." NBTI enhancement by nitrogen incorporation into ultra thin gate oxide for 0.10- μm gate CMOS generation "VLSI Technology, 2000. Digest of Technical Papers. 2000 Symposium on , 13-15 June 2000,Pages:92 — 93.
- [6]. Chaparala, P.; Brisbin, D.; Shibley, J.; "NBTI in dual gate oxide PMOSFETS" Plasma- and Process-Induced Damage, 2003 8th International Symposium , 24-25 April 2003 , Pages:138 — 141.
- [7]. Kimizuka, N.; Yamamoto, T.; Mogami, T.; Yamaguchi, K.; Imai, K.; Horiuchi, T.; " The impact of bias temperature instability for direct-tunneling ultra-thin gate oxide on MOSFET scaling"VLSI Technology, 1999. Digest of Technical Papers. 1999 Symposium on , 14-16 June 1999,Pages:73 — 74 [8]. BEN G. STREETMAN ; SANJAY BANERJEE , Solid State Electronic Devices , 東華書局 ,pages: 327-330 [9]. Donald A. Neamen , Semiconductor Physics & Devices , Second Edition , 美商麥格羅·希爾國際股份有限公司, pages: 552-559 [10]. Sung-Mo Kang & Yusuf Leblebici , Cmos Digital Integrated Circuits Analysis and Design , 美商麥格羅·希爾國際股份有限公司