

先進IGBT元件的製作與ESD特性量測

陳立興、陳勝利；許崇宜

E-mail: 9314918@mail.dyu.edu.tw

摘要

在本篇論文中，將先利用3D元件模擬軟體-Davinci，來模擬先進IGBT元件的3D模型架構和分析內部的特性，能更精確地設計元件的製程參數，達成元件設計的目標。目前先進的絕緣閘雙極性電晶體，主要是朝向改善功率效能的方向做研究。然而，元件必須操作在高電流密度與高電壓下，因此，在順向導通條件下，須較低的導通電阻與快速的切換速度，以減少功率效能的損失。最後，為了避免ESD(Electrostatic Discharge)效應而導致閘極氧化層的崩潰，於閘極上串接齊納二極體作為ESD保護電路。關鍵字：功率效能，導通電阻，切換速度，ESD，齊納二極體。

關鍵詞：功率效能；導通電阻；切換速度；ESD；齊納二極體

目錄

封面內頁 簽名頁 授權書	iii	中文摘要	iii
.	iv	英文摘要	v
.	vi	目錄	vii
.	ix	表目錄	xii
第一章 導論	1	1.1 簡介	1
1.2 論文架構	2	第二章 IGBT元件的結構與操作原理	
.	3	2.1 簡介	3
IGBT元件的操作原理	5	2.2 IGBT元件的結構	3
元件的模擬	12	2.3 IGBT元件的結構	3
元件的佈局設計	42	2.4 ESD的結構與原理	7
.	53	2.5 IGBT	7
IGBT-IC(G-S有保護電路)的ESD特性測試	55	第三章IGBT元件的製作流程與佈局設計	17
.	57	3.1 簡介	17
.	58	3.2 IGBT Process Flow (1.0um)	18
.	58	3.3 IGBT元	18
.	61	第四章IC的ESD特性量測	53
.	63	4.1 簡介	53
5.5 ESD特性分析之總結	63	4.2 IGBT-IC(無保護電路)的ESD特性測試	53
.	65	4.3	53
參考文獻	65	4.4 IGBT-IC(G-S、G-D有保護電路)的ESD特性測試	55
		5.1 簡介	57
		5.2 IGBT-IC(無保護電路)之ESD特性分析與討論	58
		5.3 IGBT-IC(G-S有保護電路)之ESD特性分析與討論	58
		5.4 IGBT-IC(G-S、G-D有保護電路)之ESD特性分析 與討論	62
		第六章 結論	63
		參考文獻	66

參考文獻

- [1] C.A.T. Salama, " V-groove Power MOSFET " ,IEDM,pp.409-412 1977.
- [2] D. Ueda et al. " A new injection suppression structure for conductivity modulated power MOSFET, " in Proc.18th Int. Conf.Solid State Device and Materials,vol.31. p.97,1986.
- [3] A.A.Tamer,K.Rauch,and J.L.Moll, " Numerical comparison of DMOS,VMOS,and UMOS power transistors " ,IEEE Trans. Electron Devices,vol. ED-30,p.73,1983.
- [4] M. Nandakumar, M. S. Shekar,and B. J. Baliga, " Fast switching power MOS-gated (EST and BRT) thyristors, " in IEEE Int. Symp. on Power Semiconductor Devices and ICs,1992,pp.255-258.
- [5] S.Kunori,J.Ishida,M.Tanaka,M.Watanabe,and T.Kan, " The low power dissipation Schottky barrier diode with trench structure, " in IEEE Int. Symp. Power Semiconductor Devices and ICs,1992,pp.66-71.
- [6] S.M.Sze, " Modern Semiconductor Device Physics " , A Wiley Interscience publication,1998,pp.225-226.
- [7] F. Udrea,and G. A. J. Amaratunga, " The New Generation of Power Semiconductor Devices " ,IEEE,1996,pp.468-476.
- [8] Yoshifumi Tomomatsu, John F. Donlon, Eric R. Motto, Hideo Iwamoto, Hideki Haruguchi, " A new punch through IGBT having a new N-buffer layer " , Proc. of the IEEE, pp.690-700, 1999.

- [9] Y. Onishi, S. Momota, Y. Kondo, M. Otsuki, N. Kumagai and K. Sakurai, " Analysis on Device Structures for Next Generation IGBT " ,pp.85-88,1998.
- [10] M. Sweet, S. Hardikar, O. Spulber, E. M. Sankara Narayanan, M. M. De Souza, Subhas Chandra Bose J.V., " The Trench Planar Insulated Gate Bipolar Transistor (TPIGBT), pp.13/1-13/5, 1999.
- [11] B. J. Baliga, M. S. Adler, P. V. Gray, and R. P. Love, " Suppressing latch-up in insulated gate transistors, " IEEE Electron Dev. Lett. pp.323, 1984.
- [12] B. J. Baliga, " Power Semiconductor Device " .Boston, M.A:PWS, Ch8 pp.476-482, 1995.
- [13] Sze, S. M. Semiconductor Devices: Physics and Technology. New York: Wiley, 1985.
- [14] Sze, S.M. Physics of Semiconductor Devices. 2nd ed. New York: Wiley, 1981.
- [15] Werner, W. M. " The Work Function Difference of the MOS System with Aluminum Field Plates and Polycrystalline Silicon Field Plates. " Solid State Electronics pp.769-75, 1974.
- [16] Charvaka Duvvury, Fred Carvajal, Clif Jones, and David Briggs, " Lateral DMOS Design for ESD Robustness, " IEDM pp.375-378, 1997.
- [17] Ajith Amerasekera, Charvaka Duvvury, " ESD in Silicon Integrated Circuits, " John Wiley & Sons, 1996.
- [18] R. zezulka, " ESD basics " EOS/ESD Tutorial Notes, 1993.
- [19] ANSI/EOS/ESD-DS5.2, EOS/ESD Association, Inc, 1996.
- [20] MIL-STD-883E, Method 3015.7, 1989.