

# Plasma Enhanced Au/Al Bondability in Assembly Field

陳永珍、王木俊；王立民

E-mail: 9314890@mail.dyu.edu.tw

## ABSTRACT

In this thesis, the plasma-enhanced clean is employed to deterge the Al pads of IC products. Therefore, the surface pads show the good clean efficiency and the micro roughness. Due to this application, the bondability performance in ball-grid-array (BGA) assembly experiment is obviously promoted. The reliability quality such as wire bonding strength, Al-Au eutectic ability, shear-pull force, and reduction of bonding parameters is effectively improved. Because of the good quality of surface pads, the ultrasonic output power and the bonding timing can be somewhere decreased to increase the throughput. Furthermore, the wafer crack probability and the pad oxide damage in bonding process can be gradually reduced. Due to the increase of the I/O pin counts in IC products, the pad pitch is strictly requested. The pad arrangement in IC is as close as possible. Recently, the limitation of the pad pitch is around 45~50 mm, therefore, the higher pin counts (? 1000) in application has some bottleneck. How to break through this barrier is an important task in assembly. In the experiment, the plasma clean parameters such as gas species, gas flow rate, wafer clean location, radio-frequency (RF) output power, and the system vacuum value, etc. are experimentally adjusted. With these optimal clean parameters in bonding process, the yield and the competition of the wire bonding will be meaningfully promoted. By the way, the adhesion between gold ball and Al pad will be tightly strengthened.

Keywords : plasma clean ; eutectic ; roughness ; bondability ; assembly

## Table of Contents

封面內頁 簽名頁 國科會授權書 . . . . .	iii	中文摘要 . . . . .	
. . . . . iv 英文摘要 . . . . .		v 誌謝 . . . . .	
. . . . . vi 目錄 . . . . .		vii 圖目錄 . . . . .	
. . . . . x 表目錄 . . . . .		xii 第	
一章 緒論 . . . . .	1	1.1 研究背景與動機 . . . . .	1
研究目的 . . . . .	2	1.2 論文架構 . . . . .	3
. . . . . 6	2.1.3 研究流程 . . . . .	3	1.4 論文架構 . . . . .
. . . . . 6	第二章 文獻探討 . . . . .	7	2.1 半導體製
程簡介 . . . . .	7	2.1.1 晶圓 . . . . .	7
. . . . . 8	2.1.2 清洗 . . . . .	8	2.1.2 清洗 . . . . .
. . . . . 8	2.1.3 光學顯影 . . . . .	8	2.1.4 乾式蝕刻技術 . . . . .
. . . . . 8	2.1.5 化學氣相沉積技術 . . . . .	9	2.1.6 物理氣相沉積技術 . . . . .
. . . . . 9	2.1.6 物理氣相沉積技術 . . . . .	10	2.1.7 解離金屬
電漿物理氣相沉積技術 . . . . .	11	2.1.8 高溫製程 . . . . .	11
. . . . . 11	2.1.9 離子植入技術 . . . . .	12	2.1.10 化學機械研磨技術 . . . . .
. . . . . 12	2.1.10 化學機械研磨技術 . . . . .	12	2.1.11 切割與封裝 . . . . .
. . . . . 13	2.2 IC封裝製程技術 . . . . .	13	2.2.1 前言 . . . . .
裝的技術演變 . . . . .	16	2.2.2 封	13
. . . . . 24	2.3 封裝材料市場分析與技術現況 . . . . .	23	2.2.2 封
. . . . . 24	2.3 封裝材料市場分析與技術現況 . . . . .	23	2.2.4 封裝的基本製程技術 . . . . .
. . . . . 24	2.3 電漿蝕刻簡介 . . . . .	27	2.3.1 何謂電漿 . . . . .
. . . . . 28	2.3.2 電漿形成之原理 . . . . .	28	2.3.2 電漿形成之原理 . . . . .
. . . . . 28	2.3.3 蝕刻設備 . . . . .	31	2.3.3 蝕刻設備 . . . . .
研究方法 . . . . .	32	3.1 實驗設備與材料 . . . . .	32
銲線製程理論 . . . . .	32	3.2 打線銲接的方法 . . . . .	35
刻製程參數 . . . . .	43	4.1 電漿	45
清洗製程實驗 . . . . .	45	4.2 電漿清洗製程實驗結果 . . . . .	46
-step)量測 . . . . .	47	4.3 薄膜厚度(	46
. . . . . 48	4.4 原子力顯微鏡的工作原理 . . . . .	48	4.4.1 基本原理 . . . . .
. . . . . 48	4.5 掃描式電子顯微鏡 . . . . .	49	4.5.1 基本原理 . . . . .
. . . . . 51	5.1 結論 . . . . .	51	5.2 未來展望 . . . . .
. . . . . 52	圖目錄 圖1-1 銲墊剝離 . . . . .	3	圖1-2a 銲球變形不
良 . . . . .	4	圖1-2b 銲球變形不良 . . . . .	4
圖1-3 銲球頸	5	圖2-1 電子構裝的功能與目的 . . . . .	14
部受傷 . . . . .	5	圖2-2 COB特殊晶片 . . . . .	16
圖2-2 COB特殊晶片 . . . . .	16	圖2-3 Dual In-line Package . . . . .	18
. . . . . 18	圖2-4 PLCC . . . . .	18	圖2-5 Single Inline Package . . . . .

19 圖2-6 Pin Grid Array . . . . .	19 圖2-7 Small Outline Package . . . . .
20 圖2-8 Small outline J-leaded Package . . . . .	21 圖2-9 M-Quad Flat Package . . . . .
21 圖2-10 Ball Grid Array . . . . .	22 圖2-11 Flip Chip . . . . .
23 圖2-12 BGA的製造流程圖 . . . . .	25 圖3-1 First Bond . . . . .
33 圖3-2 Second Bond . . . . .	33 圖3-3 鐸線循環圖 . . . . .
34 圖3-4 超音波接合的過程 . . . . .	36 圖3-5 1st Bond Fail (Smash Ball) . . . . .
37 圖3-6 2nd Bond Fail 縫點脫落 . . . . .	38 圖3-7 Looping Fail(Wire Short) . . . . .
39 圖3-8 Design Rule for Ball Size . . . . .	40 圖3-9 推力測試(Ball Shear, B/S) . . . . .
41 圖3-10 拉力測試(Ball Pull, B/P) . . . . .	41 圖3-11 鐸接金球推力(Ball Shear, B/S)測試值 . . . . .
42 圖3-12 鋁鐸墊 BPO & BPP . . . . .	43 圖3-13 電漿製程參數與結果關係的示意圖 . . . . .
44 圖4-1a 電漿清洗前 -step圖 . . . . .	47 圖4-1b 電漿清洗後 -step圖 . . . . .
47 圖4-2a 電漿清洗前AFM圖 . . . . .	49 圖4-2b 電漿清洗後AFM圖 . . . . .
49 圖4-3a 電漿清洗前SEM圖 . . . . .	50 圖4-3b 電漿清洗後SEM圖 . . . . .
50 表目錄 表.1電漿清洗基板(BGA)製程參數表 . . . . .	45 表.2電漿清洗鋁鐸墊製程參數表 . . . . .
46	

## REFERENCES

1. 簡弘民, 盧信忠, 黃尊祐, 蔡春進「半導體晶圓表面清洗技術發展」, 勞工安全衛生研究季刊, 第七卷二期 88/6.
2. 蔡明蒔, 「化學機械研磨後清洗技術簡介」, 國家奈米元件實驗室, NDL通訊-奈米通訊期刊, 第六卷第一期 P.21.
3. C.Y. CHANG and S.M.SZE "ULSI TECHNOLOGY", McGRAW-HILL INTERNATIONAL EDITIONS, 1996 4.
4. 劉博文, ULSI製程技術, 文京圖書, 2000.6.
5. David Suhl, "Thermally Induced IC Package Cracking", IEEE Transactions on Components, Hybrids and Manufacturing Technology, Vol. 13, No. 4, (1990).
6. 鐘文仁 陳佑任, IC封裝製程CAE應用, 全華圖書, 2001.6.
7. 張勁燕, 半導體製程設備, 五南圖書, 1999.9.
8. 許謝蔚, 電子構裝熱性能與金線偏移最佳化分析, 國立雲林科技大學機械工程系研究所碩士論文, 2001, 3-4.
9. 林大欽, 邏輯IC 測試廠短期生產排程之探討, 清華大學碩士論文, 1997, 25-30.
10. Sugino, R., and H. Mori, 1984; "Removing Particles from Silicon Wafer Surfaces with Adhesive Tape," MICRO, April:43-48.
11. 戴金琪, 以反應曲面方法改善銅導線晶圓封裝之鐸線製程問題, 元智大學工業工程與管理研究所碩士論文, 1997, 5-7.
12. 李立中, 「台灣電子構裝產業發展現況」, 工業材料, 新竹, 1997, 54 - 61.
13. 呂宗興, 「電子構裝技術的發展歷程」, 工業材料, 新竹, 1997 July, 34 - 41.
14. 胡應強、陳琪、徐敏雯、高振宏, 構裝接點面面觀- 鈹錫無鉛鐸料系統, 電子構裝技術特刊, 146-154, 187期91年7月
15. McDermott, W. T., R. C. Ockovic, J. J. Wu, and R. J. Miller, 1991; "Removing Submicron Surface Particles Using a Cryogenic Argon-Aerosol Technique," MICRO, October:33-36.
16. 微電子材料與製程 <http://140.114.18.41/micro/>
17. 台灣應用材料股份有限公司 <http://www.amt.com.tw/>
18. 國家奈米元件實驗室 <http://www.ndl.gov.tw/>
19. 半導體產業協會 <http://www.tsia.org.tw/>
20. 先進封裝與測試 <http://www.apa.com.tw/>