

在構裝中使用電漿處理增強金與鋁的結合力

陳永珍、王木俊；王立民

E-mail: 9314890@mail.dyu.edu.tw

摘要

本論文主要是利用電漿清洗(Plasma cleaner)晶片上的鋁錫墊(Al pad)接點，使得晶片鋁錫墊形成表面潔淨及微量粗糙變化，來改善在電子構裝中(Ball grid array, BGA)產品的焊接打線(Wire bonding)接點，加強鋁錫墊與金球共晶(eutectic)品質，提升拉推力值。亦可降低焊接打線相關參數，超音波輸出功率、時間等參數，進而改善避免造成晶片脆裂(crack)與鋁錫墊接點本身及矽氧層受損等問題。由於晶片的封裝I/O腳數有不斷增多的趨勢，所以鋁錫墊必須以更緊密的方式比鄰排列，目前鋁錫墊的排列大小間距的極限約在45~50 μm左右，故打線的封裝在高封裝腳數(1000以上)的應用上有其限制。本實驗是在電漿清洗中時加入混合氣體，並改變所進入的氣體流量大小與晶片擺放位置，調整射頻輸出功率與真空設定值等參數，探討最佳的清洗條件等重要參數。這是電漿清洗處理鋁錫墊的效果，將有意義的改善提升打線的良率，形成良好的接合效果。

關鍵詞：電漿清洗；共晶；粗糙；接合效果；構裝

目錄

封面內頁 簽名頁 國科會授權書	iii	中文摘要	
.	iv	英文摘要	v
.	vi	目錄	vii
.	x	表目錄	xii
第一章 緒論	1	1.1 研究背景與動機	1
研究目的	2	1.3 研究流程	3
.	6	第二章 文獻探討	7
程簡介	7	2.1 半導體製程	7
.	8	2.1.1 晶圓	7
.	8	2.1.2 清洗	7
.	8	2.1.3 光學顯影	8
.	8	2.1.4 乾式蝕刻技術	8
.	8	2.1.5 化學氣相沉積技術	9
電漿物理氣相沉積技術	11	2.1.6 物理氣相沉積技術	10
.	12	2.1.7 解離金屬	10
.	12	2.1.8 高溫製程	11
.	12	2.1.9 離子植入技術	11
.	12	2.1.10 化學機械研磨技術	12
.	12	2.1.11 切割與封裝	12
13 2.2 IC封裝製程技術	13	2.2.1 前言	13
裝的技術演變	16	2.2.2 封裝	13
.	16	2.2.3 封裝材料市場分析與技術現況	23
.	24	2.2.4 封裝的基本製程技術	23
.	24	2.3 電漿蝕刻簡介	27
.	28	2.3.1 何謂電漿	27
.	28	2.3.2 電漿形成之原理	28
.	28	2.3.3 蝕刻設備	31
研究方法	32	第三章	31
錫線製程理論	32	3.1 實驗設備與材料	32
刻製程參數	43	3.2	32
清洗製程實驗	45	3.3 打線銲接的方法	35
-step)量測	47	3.4 電漿蝕	35
.	47	4.1 電漿	45
.	48	4.2 電漿清洗製程實驗結果	46
.	48	4.3 薄膜厚度(.	46
.	48	4.4 原子力顯微鏡的工作原理	48
.	48	4.4.1 基本原理	48
.	48	4.4.2 掃描式電子顯微鏡	49
.	51	第五章 結論與未來展望	49
.	51	5.1 結論	51
.	52	5.2 未來展望	51
圖目錄 圖1-1 錫墊剝離	3	圖1-2a 錫球變形不	3
良	4	圖1-2b 錫球變形不良	4
部受傷	5	圖1-3 錫球頸	4
圖2-1 電子構裝的功能與目的	14		
圖2-2 COB特殊晶片	16	圖2-3 Dual In-line Package	16
.	18	圖2-4 PLCC	18
.	18	圖2-5 Single Inline Package	18
.	19	圖2-6 Pin Grid Array	19
.	19	圖2-7 Small Outline Package	19
.	20	圖2-8 Small outline J-leaded Package	21
.	21	圖2-9 M-Quad Flat Package	21
.	21	圖2-10 Ball Grid Array	22
.	23	圖2-11 Flip Chip	22
.	23	圖2-12 BGA的製造流程圖	25
.	25	圖3-1	25

First Bond	33	圖3-2 Second Bond	33
. 33 圖3-3 鐸線循環圖 34 圖3-4 超音波接合的過程	
. 36 圖3-5 1st Bond Fail (Smash Ball) 37 圖3-6 2nd Bond Fail 縫點脫落	
. 38 圖3-7 Looping Fail(Wire Short) 39 圖3-8 Design Rule for Ball	
Size	40	圖3-9 推力測試(Ball Shear, B/S)	41
圖3-10 拉力測		試(Ball Pull, B/P)	41
圖3-11 鐸接金球推力(Ball Shear, B/S)測試值			42
圖3-12 鋁鐸墊 BPO & BPP	43	圖3-13 電漿製程參數與結果關係的示意圖	
. 44 圖4-1a 電漿清洗前 -step圖 47 圖4-1b 電漿清洗後 -step圖	
. 47 圖4-2a 電漿清洗前AFM圖 49 圖4-2b 電漿清洗後AFM圖	
. 49 圖4-3a 電漿清洗前SEM圖 50 圖4-3b 電漿清洗後SEM圖	
. 50 表目錄 表.1電漿清洗基板(BGA)製程參數表 45 表.2電漿清洗鋁鐸墊	
製程參數表	46		

參考文獻

1. 簡弘民, 盧信忠, 黃尊祐, 蔡春進「半導體晶圓表面清洗技術發展」, 勞工安全衛生研究季刊, 第七卷二期 88/6。
2. 蔡明蒔, 「化學機械研磨後清洗技術簡介」, 國家奈米元件實驗室, NDL通訊-奈米通訊期刊, 第六卷第一期 P.21。
3. C.Y. CHANG and S.M.SZE "ULSI TECHNOLOGY", McGRAW-HILL INTERNATIONAL EDITIONS, 1996
4. 劉博文, ULSI製程技術, 文京圖書, 2000.6。
5. David Suhl, "Thermally Induced IC Package Cracking", IEEE Transactions on Components, Hybrids and Manufacturing Technology, Vol. 13, No. 4, (1990).
6. 鐘文仁 陳佑任, IC封裝製程CAE應用, 全華圖書, 2001.6。
7. 張勁燕, 半導體製程設備, 五南圖書, 1999.9。
8. 許謝蔚, 電子構裝熱性能與金線偏移最佳化分析, 國立雲林科技大學機械工程系研究所碩士論文, 2001, 3-4。
9. 林大欽, 邏輯IC 測試廠短期生產排程之探討, 清華大學碩士論文, 1997, 25-30。
10. Sugino, R., and H. Mori, 1984; "Removing Particles from Silicon Wafer Surfaces with Adhesive Tape," MICRO, April:43-48.
11. 戴金琪, 以反應曲面方法改善銅導線晶圓封裝之鐸線製程問題, 元智大學工業工程與管理研究所碩士論文, 1997, 5-7。
12. 李立中, 「台灣電子構裝產業發展現況」, 工業材料, 新竹, 1997, 54 - 61。
13. 呂宗興, 「電子構裝技術的發展歷程」, 工業材料, 新竹, 1997 July, 34 - 41。
14. 胡應強、陳琪、徐敏雯、高振宏, 構裝接點面面觀- 鈹錫無鉛鐸料系統, 電子構裝技術特刊, 146-154, 187期91年7月
15. McDermott, W. T., R. C. Ockovic, J. J. Wu, and R. J. Miller, 1991; "Removing Submicron Surface Particles Using a Cryogenic Argon-Aerosol Technique," MICRO, October:33-36.
16. 微電子材料與製程 <http://140.114.18.41/micro/>
17. 台灣應用材料股份有限公司 <http://www.amt.com.tw/>
18. 國家奈米元件實驗室 <http://www.ndl.gov.tw/>
19. 半導體產業協會 <http://www.tsia.org.tw/>
20. 先進封裝與測試 <http://www.apa.com.tw/>