

# 適用於802.11之低雜訊四相位輸出壓控振盪器

莊煒琦、許崇宜；洪進華

E-mail: 9223664@mail.dyu.edu.tw

## 摘要

本論文乃是使用台積電TSMC 0.25um CMOS 1P5M製程來實現一個具有四相位正交輸出應用於無線通訊網路802.11a的壓控振盪器(voltage-controlled oscillator)，該電路的四個輸出相位分別為 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ 和 $360^\circ$ 。本電路於模擬時其相位雜訊(phase noise)在距離振盪中心頻率3MHz處可達到-130.2 dBc/Hz，可調振盪頻率範圍為4.833GHz~5.623GHz，調頻範圍(tuning range)為0.79GHz約為中心頻率之15.2%，輸出功率為-7.67dBm、消耗功率為15.8mw，pushing 測試vdd為2.3v、2.4v、2.5v、2.6v、2.7v、2.8v，振盪頻率偏移量最大為主頻率之1.394%，pulling 的測試loading為25歐姆、50歐姆、75歐姆、100歐姆，振盪頻率的偏移量幾乎為0，輸出阻抗匹配約在50歐姆左右。

關鍵詞：壓控震盪器；低雜訊；相位雜訊；四相位

## 目錄

目錄 封面內頁 簽名頁 授權書.....	iii	中文摘要.....		
.....iv 英文摘要.....		v 誌謝.....		
.....vi 目錄.....		viii 圖目錄.....		
.....x 表目錄.....		xv 第一章 緒論.....		
.....1 1.1 動機.....	1	1.2 802.11.....	1	
簡介.....	2	1.3 四相位壓控振盪器簡介.....	5	
振盪器.....	6	2.1 基本LC振盪器之振盪原理.....	7	
Accumulation-mode MOSFET varactor and plane-spiral inductor.....	10	2.2.1.....	10	
Accumulation-mode MOSFET varactor.....	10	2.2.1.1 Accumulation-mode MOSFET之trade-off特性.....		
.....14	2.2.2 平面螺旋電感(Plane-Spiral Inductor).....	15	2.2.2.1 電感量的估計方法.....	
.....16	2.3 LC Tank VCO.....	17	2.3.1 被動電路LC Tank.....	
.....17	2.3.2 主動電路cross-coupled transistors.....	19	2.3.3 LC Tank VCO circuit.....	22
輸出壓控振盪器.....	25	2.5 Phase noise 對VCO (Voltage-Controlled Oscillator)的影響.....		
.....29	2.6 振盪器phase noise model.....	39	2.7 推導由noise current 注入共振的LC並聯電路所造成的相位偏差.....	51
.....54	3.1 相位頻率偵測器.....	54	3.2 Charge pump及 low pas filter.....	60
VCO模擬.....	67	4.1 CMOS differential VCO電路模擬.....	67	
.....76	4.2 四相位輸出壓控振盪器之模擬.....	71	4.3 PLL之模擬.....	
.....87	4.4 CMOS Differential VCO 之模擬.....	82	4.5 四相位壓控振盪器之量測.....	
.....94	第五章 結論和未來展望.....	91	附錄A.....	
.....94	Reference.....	98	圖目錄 圖1.1 UN II Lower頻段圖.....	2
.....2	圖1.2 FHSS內跳頻不停的切換到各個階段.....	3	圖1.3 DSSS將每個1與0位元以Chip Sequence加以編碼.....	4
.....4	圖2.1 壓控振盪器之方塊圖.....	6	圖2.2 理想之壓控振盪器輸入輸出關係圖.....	7
.....7	圖2.3 迴授系統示意圖.....	8	圖2.4 電路只會對 $w=w_0$ 之訊號放大.....	8
.....8	圖2.5 基本振盪器架構.....	9	圖2.6 當 $R1=-R2$ 時電路就可發生振盪.....	9
.....9	圖2.7 PN junction varactor 的剖面圖.....	11	圖2.8 MOSFET varactor之C-V特性曲線.....	12
.....12	圖2.9 Accumulation-mode MOSFET varactor之剖面圖.....	12	圖2.10 當 $V_{gs}$ 為負時，則空乏區加大.....	13
.....13	圖2.11 當 $V_{gs}$ 為正時，則空乏區減小.....	13	圖2.12 Accumulation-mode MOSFET varactor之C-V特性曲線圖.....	14
.....14	圖2.13 Accumulation-mode MOSFET varactor通道之等效電阻圖.....	15	圖2.14 矩型螺旋電感.....	16
.....16	圖2.15(a) 理想的LC Tank電路.....	18	圖2.15(b) 實際的LC Tank電路.....	18
.....18	圖2.16 LC Tank其阻抗的大小及相位對頻率的關係圖.....	19	圖2.17 PMOS Cross-couple所構成之主動電路圖.....	20
.....20	圖2.18 cross-coupled PMOS之小訊號模型.....	20	圖2.19 CMOS Differential VCO電路圖.....	23
.....23	圖2.20 NMOS differential VCO.....	24	圖2.21 PMOS Cross couple VCO without tail current source.....	25
.....24	圖2.22 四			

相位輸出壓控振盪器 .....	26	圖2.23 Source follower之輸出-輸入關係圖 .....	27
圖2.24(a) M5~M8連接成Ring的型式.....	28	圖2.24(b) 將Ring電路之等效電容和電阻萃取出來.....	28
圖2.25 gain error示意圖 .....	31	圖2.26 Phase error示意圖.....	31
圖2.27 實際和理想壓控振盪器之輸出頻譜圖 .....	32	圖2.28 通訊系統前端電路圖 .....	33
圖2.29 由phase noise所造成的I/Q mismatch.....	34	圖2.30(a) 理想之壓控振盪器之降頻 .....	34
圖2.30(b) 實際之壓控振盪器之降頻 .....	34	圖2.31 Noise在迴授路徑注入圖.....	35
圖2.32 振盪器的noise shaping圖.....	35	圖2.33 振盪器模型 .....	36
圖2.34 Lesson 's 相位雜訊模型 .....	40	圖2.35 當雜訊發生在振盪訊號的波峰時 .....	43
圖2.36 當雜訊發生在zero crossing時.....	43	圖2.37 由式2.40所繪出之輸入雜訊對相位誤差關係圖.....	45
圖2.38 Vout(t)之頻譜圖.....	45	圖2.39 相位雜訊形成示意圖 .....	50
圖2.40 模擬雜訊注入LC Tank之模型圖 .....	50	圖3.1 PLL之方塊圖.....	54
圖3.2(a) 相位偵測器之方塊圖 .....	54	圖3.2(b) 理想之相位偵測器輸入輸出曲線 .....	55
圖3.3 XOR之邏輯閘 .....	55	圖3.4 XOR之輸出輸入關係圖 .....	56
圖3.5 增加頻率偵測器(FD)來增加捕捉範圍.....	57	圖3.6 FD之輸入、輸出波型 .....	58
圖3.7(a) fA?fB之PFD輸出輸入關係圖.....	58	圖3.7(b) wA?wB之PFD輸出輸入關係圖 .....	58
圖3.8 PFD方塊圖.....	59	圖3.9 簡單之PFD電路.....	60
圖3.10 基本的PFD、Charge pump及low pass filter和VCO電路 .....	61	圖3.11 Charge pump 之輸出輸入關係圖 .....	62
圖3.12 PFD/CP/LPF 電路之步階響應圖 .....	62	圖3.13 Charge pump 之線性模型 .....	63
圖3.14 加入C2以使Vcp之波型太過於尖銳.....	63	圖4.1 CMOS Differential VCO電路 .....	67
圖4.2(a) S(1,1)的大小圖 .....	67	圖4.2(b) S(1,1)的相位圖 .....	68
圖4.3 振盪器在時域下之振盪波型.....	68	圖4.4 振盪器之Phase noise performance.....	69
圖4.5 CMOS Differential VCO之輸出頻率對控制電壓關係圖...70	70	圖4.6 CMOS Differential VCO之佈局平面圖.....	70
圖4.7 四相位輸出壓控振盪器電路.....	71	圖4.8 四相位輸出壓控振盪器S(1,1)之大小圖及相位圖 .....	72
圖4.9 四相位輸出壓控振盪器佈局平面圖.....	73	圖4.10 四相位輸出壓控振盪器之輸出頻率對控制電壓關係圖 .....	73
圖4.11 四相位輸出壓控振盪器之四個輸出波型 .....	74	圖4.12 四相位輸出壓控振盪器的phase noise performance圖...74	74
圖4.13 pushing 測試.....	75	圖4.14 pulling 測試.....	75
圖4.15 PFD 電路.....	77	圖4.16 PFD之輸入和輸出波型 .....	77
圖4.17 當系統鎖定時之PFD模擬圖 .....	78	圖4.18 charge及 low pass filter之電路圖.....	79
圖4.19 charge及 low pass filter輸入和輸出訊號之圖型.....	80	圖4.20 CMOS Differential VCO之電路架構 .....	81
圖4.21 CMOS Differential VCO之輸出波型 .....	82	圖4.22 VCO控制電壓和輸出可調整頻率關係圖.....	83
圖4.23 Vcnt之變化曲線 .....	85	圖4.24 charge pump之輸出電流曲線.....	85
圖4.25 輸入訊號(Vin)和VCO輸出訊號(VCO)之比較圖.....	86	圖4.26 量測輸出相位是否相差90度(方法1).....	86
圖4.27 量測輸出相位是否相差90度(方法3).....	88	圖4.28 量測輸出相位是否相差90度(方法4).....	88
圖4.29(a) A點之相位 .....	89	圖4.29(b) A點與A、B兩點合成之後的相位.....	89
圖4.29(c) A點與A、C兩點合成之後的相位 .....	89	圖4.30 量測輸出訊號之Phase noise .....	90
圖A.1 等效的Noise Model.....	94	表目錄 表5.1 四相位輸出壓控振盪器之規格表.....	92
表5.2 近年來發表之paper和本論文電路之比較表 .....	93		

## 參考文獻

- Reference [1] Ali Hajimiri and Thomas H. Lee, " Design Issues in CMOS Differential LC Oscillators, " IEEE J. Solid-State Circuits, vol. 34, pp. 717-723, May 1999.
- [2] P. Kinget, " A fully integrated 2.7V 0.35um CMOS VCO for 5GHz wireless applications, " ISSCC Digest of Technical Papers, pp. 226-227, Feb. 1998.
- [3] B. Razavi and L. Christoper, " A 2.6GHz/5.2 GHz CMOS voltage-controlled oscillators, " ISSCC Digest of Technical Papers, pp.402+403, 1999.
- [4] Ting-Ping Liu, " A 6.5GHz monolithic CMOS voltage-controlled oscillator, " ISSCC Digest of Technical Papers, pp.404-405, 1999.
- [5] Chih-Ming Hung, Brian A. Floyd, and Kenneth K. O, " A Fully Integrated 5.35GHz CMOS VCO and a Prescaler, " IEEE Radio Frequency Integrated Circuits Symposium, pp. 69-72, 2000.
- [6] Akihiro Yamagishi, Tsuneo Techniques, Mitsuru Harada, and Junichi Kodate, " A Low-Voltage 6-GHz-Band CMOS Monolithic LC-Tank VCO Using a Tuning-Range Switching Technique, " IEEE MTT-S Digest, pp. 735-738, 2000.

- [7] Rategh, H.R. and Samavati, H. and Lee, T.H. " A CMOS frequency synthesizer with an injection-locked frequency divider for a 5-GHz wireless LAN receiver, " IEEE J. Solid-State circuits, Vol. 35, pp. 780-787, May 2000.
- [8] Samori, C and; Levantino, S. and Boccuzzi, V. " A  $-94\text{dBc/Hz}$  at 100KHz, fully-integrated, 5-GHz, CMOS VCO with 18% tuning range for Bluetooth applications, " IEEE Conference on Custom Integrated Circuits, pp. 201-204, 2001.
- [9] Yuan-Kai Chu, " Design of 802.11a WLAN Receiver 5GHz U-NII Band Down-Converter RF ICs, " Master Dissertation, National Cheng Kung University, 2002.
- [10] Guang-Kai Dehng, " Implementation and Application of CMOS DLL/PLL, " Ph.D. Dissertation, National Taiwan University, 2000.
- [11] B. Razavi, " Design of Analog CMOS Integrated Circuits, " 1st ed., McGraw-Hill, New York, NY, 2002.
- [12] B. Razavi, " RF Microelectronics " Prentice Hall PTR, 1998.