

# 可程式化邏輯陣列之測試及錯誤診斷技術

林育聖、洪進華；程仲勝

E-mail: 9223473@mail.dyu.edu.tw

## 摘要

本論文完全只是回顧與整理既有的可程式化邏輯陣列(FPGA)內部連結線路(interconnect)及可結構化邏輯方塊(CLB)陣列的測試技術及錯誤診斷技術，我們期望未來能針對這些技術有任何的改善或貢獻。在CLB陣列測試方面，AND/OR-tree測試法是可以檢測到多個錯誤的CLB且具有C-testable的特性[5]，又可減少所需I/O block的個數；故在本文中，我們以Xilinx Spartan FPGA內部CLB架構為例，以S-A-0(1)的錯誤模型，說明如何利用Y. Zorian提出的測試策略對單一CLB產生最少的測試組態及測試信號[13]，並用AND/OR-tree的測試方法來比較及傳遞輸出信號。在CLB錯誤診斷方面，我們利用多組水平及垂直的MAJ-tree來做交叉組態[7,9]，可找出任何單一錯誤CLB的位置以及在多個錯誤CLB的假設下，可找出所有可能錯誤CLB的位置，再對有可能錯誤的CLB作Naive測試[5]，即可找出所有多個錯誤CLB的位置。就interconnect的測試及錯誤診斷方面，我們介紹Y. Zorian提出的測試組態[17]，及Yinlei Yu提出的錯誤診斷方法[22]來說明如何測試及診斷開關矩陣所構成的二維陣列。

關鍵詞：可程式化邏輯陣列；內部連結線路；可結構化邏輯方塊；測試；錯誤診斷

## 目錄

封面內頁 簽名頁 授權頁 . . . . .	iii
. . . . . iv ABSTRACT . . . . .	v
. . . . . vi 目錄 . . . . .	
. . . . . vii 圖目錄 . . . . .	ix
. . . . . xi 表目錄 . . . . .	xi
. . . . . xi 第一章 緒論 . . . . .	
. . . . . 1 1.1 背景 . . . . .	
. . . . . 1 1.1.2 製程測試程序的定義與產生 . . . . .	2
. . . . . 2 第二章 FPGA測試及錯誤診斷技術簡介 . . . . .	
. . . . . 4 2.1 FPGA 架構簡介 . . . . .	4
. . . . . 4 2.2 FPGA測試及錯誤診斷技術簡介 . . . . .	9
. . . . . 9 第三章 可結構化邏輯方塊(CLB)的測試方法及錯誤診斷 . . . . .	12
. . . . . 12 3.1 CLB 測試問題探討 . . . . .	12
. . . . . 12 3.2 CLB測試方法描述 . . . . .	14
. . . . . 14 3.2.1 單一CLB測試 . . . . .	14
. . . . . 14 3.2.1.1 錯誤模型 . . . . .	15
. . . . . 15 3.2.1.2 內部邏輯元件測試 . . . . .	16
. . . . . 16 3.2.1.3 單一CLB測試組態與測試信號 . . . . .	22
. . . . . 22 3.2.2 CLB陣列測試 . . . . .	29
. . . . . 29 3.2.2.1 AND/OR tree測試方法 . . . . .	30
. . . . . 30 3.2.2.2 修改過的MAJ-tree測試架構 . . . . .	33
. . . . . 33 3.3 CLB錯誤診斷方法描述 . . . . .	36
. . . . . 36 3.3.1 單一錯誤CLB的定址 . . . . .	41
. . . . . 41 3.3.2 多個錯誤CLB的定址 . . . . .	45
. . . . . 45 3.3.3 CLB錯誤診斷方法比較 . . . . .	47
. . . . . 47 第四章 interconnect的測試與錯誤診斷方法 . . . . .	47
. . . . . 47 4.1 interconnect測試方法描述 . . . . .	47
. . . . . 47 4.1.1 錯誤模型 . . . . .	48
. . . . . 48 4.1.2 interconnect測試問題探討 . . . . .	50
. . . . . 50 4.1.3 interconnect測試組態 . . . . .	52
. . . . . 52 4.1.4 interconnect測試信號 . . . . .	56
. . . . . 56 4.2 interconnect 錯誤診斷方法描述 . . . . .	56
. . . . . 56 4.2.1 錯誤模型 . . . . .	57
. . . . . 57 4.2.2 測試組態的錯誤診斷分析 . . . . .	62
. . . . . 62 4.2.3 interconnect錯誤診斷方法比較 . . . . .	62
. . . . . 62 第五章 結論 . . . . .	64
. . . . . 64 參考文獻 . . . . .	66
. . . . . 66 圖目錄 圖 2.1 SRAM型FPGA示意圖 . . . . .	5
. . . . . 5 圖 2.2 Spartan FPGA之邏輯方塊架構簡圖 . . . . .	6
. . . . . 6 圖 2.3 交點開關 . . . . .	7
. . . . . 7 圖 2.4 SWM內部的Switch Box . . . . .	8
. . . . . 8 圖 2.5 SWM中(a)可連結路線 (b)開關狀態 (c)連結路線圖 . . . . .	9
. . . . . 9 圖 2.6 (a) FPGA晶片陣列 (b) SWM二維陣列 (c) SRAM Cell維陣列 (d) CLB二維陣列 . . . . .	10
. . . . . 10 圖 3.1 FPGA的多工器簡圖 . . . . .	16
. . . . . 16 圖 3.2 典型2對1多工器模型 . . . . .	17
. . . . . 17 圖 3.3 多工器測試向量化簡 . . . . .	17
. . . . . 17 圖 3.4 測試2對1多工器的最佳TC與TS . . . . .	18
. . . . . 18 圖 3.5 測試4對1多工器的最佳TC與TS . . . . .	20
. . . . . 20 圖 3.6 LUT模型簡圖 . . . . .	

. . . . .	21	圖 3.7 局部組態圖 (a)針對LUT與MUX (b)針對LUT (c)針對MUX . . .	22	圖 3.8 CLB TC1組態圖 . . . . .	23	圖 3.9 CLB TC2組態圖 . . . . .	25
圖 3.10 CLB TC3組態圖 . . . . .	27	圖 3.11 CLB TC4組態圖 . . . . .					
. . . . .	28	圖 3.12 AND/OR tree圖 . . . . .	31	圖 3.13 MAJ gate真值表及方塊圖 . . . . .			
. . . . .	31	圖 3.14 MAJ tree圖 . . . . .	33	圖 3.15 修改過的MAJ-tree . . . . .	34	圖 3.16 測試信號輸入組態圖 . . . . .	
. . . . .	35	圖 3.17 test session NS 及test session SN . . . . .	36	圖 3.18 test session WE . . . . .			
. . . . .	36	圖 3.19 test session EW . . . . .	36	圖 3.20 MAJ-tree交叉組態1 . . . . .			
. . . . .	37	圖 3.21 MAJ-tree交叉組態2 . . . . .	38	圖 3.22 MAJ-tree交叉組態3 . . . . .	39	圖 3.23 MAJ-tree交叉組態4 . . . . .	
. . . . .	40	圖 3.24 單一錯誤CLB的定址 . . . . .	41	圖 3.25 多個錯誤CLB的情況一 . . . . .			
. . . . .	42	圖 3.26 多個錯誤CLB的情況二 . . . . .	43	圖 3.27 錯誤診斷情況 . . . . .	44	圖 3.28 情況二的延伸 . . . . .	44
4.1 (non-)redundant比較圖 . . . . .	49	圖 4.2 TC1 (a) SWM內部連結路線圖 (b)組態路線圖 . . . . .					
. . . . .	51	圖 4.3 TC2 (a) SWM內部連結路線圖 (b)組態路線圖 . . . . .	51	圖 4.4 TC3 (a) SWM內部連結路線圖 (b)組態路線圖 . . . . .	52	圖 4.5 TC3 SWM陣列中的組態路線圖 . . . . .	53
. . . . .	53	圖 4.6 8-bit匯流排系統示意圖 . . . . .					
. . . . .	53	圖 4.7 TC1 及TC2 (錯誤診斷分析) . . . . .	57	圖 4.8 TC3 (錯誤診斷分析) . . . . .	59	圖 4.9 TC4及TC5 . . . . .	
. . . . .	60	圖 4.10 TC6及TC7 . . . . .	61	表目錄 表 3.1 各CLB測試方法的比較表 . . . . .			
. . . . .	13	表 3.2 4對1多工器的測試向量表 . . . . .	18	表 3.3 4對1多工器的測試向量化簡表 . . . . .	19	表 3.4 CLB TS1測試向量表 . . . . .	
. . . . .	23	表 3.5 CLB TS2測試向量表 . . . . .	26	表 3.6 CLB TS3測試向量表 . . . . .			
. . . . .	27	表 3.7 CLB TS4測試向量表 . . . . .	28	表 3.8 CLB錯誤診斷方法比較表 . . . . .	46	表 4.1 Xilinx Spartan系列測試向量的個數 . . . . .	55
. . . . .	59	表 4.2 interconnect錯誤診斷分析表 . . . . .	59	表 4.3 interconnect錯誤診斷方法比較表 . . . . .			
. . . . .	62						

## 參考文獻

[1] Xilinx Product specification, "spartan and spartan-XL Families Field Programmable Gate Arrays", [http://www.xilinx.com/xlnx/xil\\_prodcad\\_landingpage](http://www.xilinx.com/xlnx/xil_prodcad_landingpage), june 27, 2002.

[2] 杜墾, "FPGA及高速VLSI", 電子技術, 1999年11月.

[3] 白中和, "VLSI之數位信號處理", 全華出版社, 2001年5月, 3-15頁到3-17頁.

[4] M.Renovell, "sram-based FPGAs: A structural test approach", XI Brazilian Symposium on Integrated Circuit Design, Proceedings IEEE (Invited Paper), Rio de Janeiro, Brazil, September 30-October 3, 1998, pp.67-72.

[5] W. K. Huang, F. J. Meyer, and F. Lombardi, "An Approach for Detecting Multiple Faulty FPGA Logic Blocks," IEEE Trans. Computers, vol. 46, no. 1, pp. 48-54, 2000.

[6] S. J. Wang and T. M. Tsai, "Test and diagnosis of faulty logic blocks in FPGAs," IEE Proceedings-Computers and Digital Techniques, vol.146, pp. 100-106, 1999.

[7] C. Stroud, E. Lee, and M. Abramovici, "BIST-based diagnostics for FPGA logic blocks," in Proc. IEEE Int. Test Conf., 1997, pp. 539—547.

[8] M. Abramovici and C. E. Stroud, "BIST-Based Test and Diagnosis of FPGA Logic Blocks," IEEE Trans. VLSI Systems, vol.9,no.1, pp.159-172,2001.

[9] T.inoue, S.Miyazaki and H.Fujiwara, "Universal Faults Diagnosis for look up table FPGAs", IEEE, Design & test of Computer, special Issue on FPGAs, pp39-44, January-March 1998.

[10] W.K. Huang and F. Lombardi, "An Approach for Testing Programmable/Configurable Field Programmable Gate Arrays", 14thIEEE VLSI Test Symposium, pp.450-455, Princeton, NJ, USA, May 1996.

[11] W. K. Huang, F. J. Meyer, and F. Lombardi, "Array based testing of FPGAs: Architecture and complexity", in Proceedings of IEEE Conference on Innovative System Silicon, 1996, pp. 249-258.

[12] M.Renvell, J.M. portal, J. Figuerass and Y.Zorian, "RAM-Based FPGA's: A test approach for the configurable logic", IEEE Asian Test Symposium,1998.

[12] M.Renvell, J.M. portal, J. Figuerass and Y.Zorian, "RAM-Based FPGA's: A test approach for the configurable logic", IEEE Asian Test Symposium,1998.

[16] M.Renovell, J.M.Portal, J. Figueras and Y.Zorian "Sram-Based FPGA: testing the interconnect/logic interface", IEEE Asian test symposium,

- Singapore, Nov1998, pp.266-271 [17] M. Renovell, J. Figueras and Y. Zorian, " Test of RAM-Based FPGA: Methodology and Application to the Interconnect " , 15th IEEE VLSI Test Symposium, pp. 230-237, Monterey, CA, USA, May 1997.
- [18] M. Renovell, et. al, " Testing the interconnect of RAM-Based FPGAs", IEEE D&T of Computers, pp. 45-50, January-March, 1998 [19] Yinlei Yu, Jian Xu, Wei Kang Huang and Fabrizio Lombardi, " A Diagnosis Method for Interconnects in SRAM Based FPGAs " , Proc. 7th Asian Test Symposium, pp. 278-282, Singapore, December, 1998.
- [20] S.-J. Wang and C.-N. Huang, " Testing and diagnosis of interconnectstructures " , in FPGAs, in Proc. 7th Asian Test Symp., Singapore,pp.283-287, Dec. 1998.
- [21] Yinlei Yu, Jian Xu, Wei Kang Huang and Fabrizio Lombardi, " Minimizing the Number of Programming Steps for Diagnosis of interconnect faults in FPGAs " , Proc. 8th Asian Test Symposium, pp. 357-362, Shanghai, November, 1999.
- [22] Yinlei Yu, Jian Xu, Wei Kang Huang and Fabrizio Lombardi, " Diagnosing Single faults for Interconnects in SRAM Based FPGAs " , Proc. Asian and South Pacific Design Automation Conference, pp. 283-286, Hong Kong, January 1999.
- [23] W.H. Kautz, " Testing for Faults in Wiring Networks, " IEEE Trans.Computers, Vol. C-23, No. 4, 1974, pp. 358-363.