

# A STUDY OF ESD FAILURE ANALYSIS IN THE POWER LDMOS

曾建欽、陳勝利、陳勳祥

E-mail: 9125206@mail.dyu.edu.tw

## ABSTRACT

IN THIS THESIS, THE ESD IMMUNITY LEVELS OF POWER LDMOS TRANSISTOR(200V), SCR, AND LDMOS PROTECTED WITH AN SCR WILL BE INVESTIGATED. IN THE ESD ZAP TESTING, THE PIP-TO-PIN COMBINATION AND ANODE-TO-CATHODE ELECTRODES WERE USED FOR THE LDMOS AND SCR, RESPECTIVELY. IN SCR STRUCTURES, THERE ARE THREE KINDS OF PROCESS STRUCTURES WHICH WERE THE HVNW-LVPW, LVPW-PSUB, AND HVNW-LVPW WITH POLY GATE, RESPECTIVELY. IT IS HOPED THAT HIGH ESD PROTECTION PERFORMANCE WAS CAUSED BY THE P-N-P-N JUNCTION BREAKDOWN INDUCED LATCH-UP PHENOMENON. IT IS OBVIOUSLY FOUND THAT THE ESD IMMUNITY LEVEL OF SCR AND LDMOS PROTECTED WITH SCR ARE EFFICIENT IN THE ESD STRESS. EVENTUALLY, THE ESD DAMAGE MECHANISM WILL BE EXPLAINED IN LDMOS, SCR, AND LDMOS PROTECTED WITH SCR BY USING THE FAILURE ANALYSIS TECHNIQUE. FINALLY, THESE DAMAGE MECHANISMS WILL BRING UP AN IDEA TO IMPROVE THE DEVICES OR CIRCUITS ESD RELIABILITY.

Keywords : POWER LDMOS, SCR, ESD.

## Table of Contents

第一章 緒論--P1 1.1前言--P1 1.2論文架構--P2	第二章靜電放電模式與測試方法--P4 2.1靜電放電的產生--P4 2.2靜電放電模型--P4 2.2.1人體放電模型--P5 2.2.2機器放電模型--P7 2.2.3元件放電模型--P8 2.2.4電場感應模型--P10 2.3三種靜電放電失效模式--P10 2.4測試方式--P11 2.5三種靜電放電模式之破壞機制--P14 2.6ESD晶片失效位置判定--P17	第三章 功率LDMOS之靜電放電防護研究--P21 3.1功率電晶體LDMOS--P21 3.2ESD保護元件--P23 3.2.1NMOS--P24 3.2.2BIPOlar--P25 3.2.3FOD厚氧化層元件--P26 3.2.4SCR--P27	第四章 靜電放電測試--P31 4.1測試元件的基本特性--P31 4.1.1200V LDMOS--P31 4.1.2SCR--P34 4.2靜電放電測試--P40 4.2.1 功率LDMOS ( 200V ) 靜電放電測試--P40 4.2.2 SCR靜電放電測試--P44 4.2.3 SCR+功率LDMOS 靜電放電測試--P46 4.3失效分析--P51 4.3.1LDMOS失效分析--P51 4.3.2SCR失效分析--P57 4.3.3SCR ( HVNW-LVPW ) WITH POLY GATE + LDMOS(W=100UM S=22UM)--P57	第五章 結論--P61 參考文獻--P62 附錄--P65
圖目錄	圖一 HBM靜電放電路徑示意圖	圖二 人體放電模式等效圖, 工業測試標準MIL-STD-883 method 3015.72等效電路圖	圖三 HBM模型, 0 負載時之放電波形	圖四 機器放電模型等效圖, 工業測試標準EIAJ-IC-121 method 20等效電路圖
圖五 MM模型, 在0 負載時之放電波形	圖六 元件放電路徑示意圖	圖七 CDM之放電波形	圖八 I/O Pin 的靜電放電測試, ( a ) PS ( + VESD )、NS ( -VESD ) 模式; ( b ) PD ( + VESD )、ND ( -VESD ) 模式	圖九 Pin to Pin的靜電放電測試
圖十 VDD to VSS的靜電放電測試	圖十一 Analog Pin的靜電放電測試	圖十二 三種模型之放電波形比較	圖十三 失效位置如箭頭所指	圖十四 靜電放電測試及失效分析流程圖
圖十五 功率電晶體LDMOS之剖面圖	圖十六 ESD保護電路示意圖	圖十七 NMOS電晶體剖面圖	圖十八 NMOS閘極、源極與基極接地, VD對ID之特性曲線	圖十九 (a)操作於自我偏壓, (b)由另一元件供給偏壓
圖二十 雙載子電晶體結構示意圖	圖二十一 簡單之TFO保護電路	圖二十二 SCR之概要等效電路, 利用SCR元件來保護LDMOS電晶體之汲極至源極端	圖二十三 橫向型SCR之剖面圖, 內部有pnp和npn兩個寄生電晶體, Rn代表n-well之阻抗, Rp代表p-well之阻抗, Repi代表磊晶層之阻抗, 而底部為高濃度、低阻抗 (5m )的p型基板	圖二十四 SCR特性曲線圖
圖二十五 功率元件LDMOS之佈局圖	圖二十六 LDMOS成品圖	圖二十七 功率電晶體LDMOS之Vg-Id特性曲線圖	圖二十八 功率電晶體LDMOS W=100 μ m、S=22 μ m在Vg=0V時之Vd-Id特性曲線圖	圖二十九 SCR1 (HVNW-LVPW)Va-Ia特性曲線圖
圖三十 SCR1(LVNW-Psub) Va-Ia特性曲線圖	圖三十一 SCR(HVNW-LVPW with Poly) W=100um	圖三十二 SCR(HVNW-LVPW)佈局圖	圖三十三 ( a ) SCR(HVNW-LVPW)成品圖 ( b ) SCR(LVNW-Psub) 成品圖 ( c ) SCR(HVNW-LVPW	

with Poly) 成品圖 39 圖三十四 功率LDMOS在Source接地Gate對Drain的I-V特性 曲線圖  
 43 圖三十五 SCR+LDMOS #1正向ESD測試前後特性曲線圖 49 圖三十六 閘極對源極測試失效位置圖  
 50 圖三十七 SCR+LDMOS #1正向ESD測試前後特性曲線圖 50 圖三十八 LDMOS (100um) ESD測  
 試, Zap pin: Drain、Source Grounded (a) 測試前(b)測試後上視圖 52 圖三十九 LDMOS在靜電放電情形下  
 汲極端燒毀情形放大圖 53 圖四十 SEM試片位置研磨示意圖 54 圖四十一 SEM試片研磨上視圖  
 54 圖四十二 元件剖面失效位置示意圖 55 圖四十三 元件失效  
 點SEM圖形 55 圖四十四 佈局改善說明圖 56 圖四十五 閘極  
 失效位置圖 57 圖四十六 LDMOS液晶檢測法偵測失效點 58 圖四十七  
 LDMOS失效點去層次-1 59 圖四十八 LDMOS失效點去層次-2 59 表目錄表  
 一 為人體放電模式 (HBM) 元件耐壓表 (依據 ESD-SD5.1-1998) 10 表二 為機器放電模式  
 (MM) 元件耐壓表 (依據ESD-SD5.2-1999) 11 表三 為元件放電模式 (CDM) 元件耐壓表  
 (依據 ESD-SD5.3-1999) 11 表四 LDMOS參數列表 32 表五  
 SCR(HVNW-LVPW) W=100um 35 表六 SCR(LVNW-Psub) W=100um 35 表  
 七 SCR(HVNW-LVPW with Poly) W=100umSCR5為對照組 (non-poly) 37 表八  
 SCR(HVNW-LVPW Change with Width) X=22um Y=6um 37 表九  
 LDMOS(200V) HBM ESD測試結果, (a)以汲極為ESD測 試腳, 源極接地, 閘極浮接; (b) 以閘極為測試腳, 源極 接地, 汲  
 極浮接; (c) 以閘極為測試腳, 汲極接地, 源極 浮接。 41 表十 (a  
 ) SCR(HVNW-LVPW) W=100um 之靜電放電測試; (b) SCR(LVNW-Psub) W=100um之靜電放電測試; (c  
 ) SCR(HVNW-LVPW with Poly) W=100um 之靜電放電測試; (d) SCR change with Width X=22um Y=6um之靜電放電測  
 試 45 表十一 (a) SCR(HVNW-LVPW with Poly) W=100um +  
 LDMOS(W=100um S=22um) Zap pin Gate、Drain Grounded; (b) SCR(HVNW-LVPW with Poly) W=100um+  
 LDMOS(W=100um S=22um)Zap pin Gate、Source Grounded; (c) SCR(HVNW-LVPW with Poly) W=100um +  
 LDMOS(W=100um S=22um)Zap pin Gate、Source Grounded 48

## REFERENCES

- [1] 李宏俊, " 高功率金氧半場效電經體製程技術及發展趨勢 ", 電力電子技術, NO.55, PP.23~P34, 2000.
- [2] 劉中民, " 公元2000年之功率元件技術發展趨勢 ", 電力電子技術, NO.55, PP.10~22, 2000.
- [3] B.J.BALIGA, " TRENDS IN POWER DISCRETES DEVICES ", PROC. OF INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES & ICS,1998,PP5-9.
- [4] P. ZUPAC, D.POTE, R. D. SCHRIMPT, AND K. F. GALLOWAY, " ANNEALING OF ESD-INDUCED DAMAGE IN POWER MOSFETS ", EOS/ESD SYMPOSIUM, 1992, PP.121-128.
- [5] TAYLOR R. EFLAND, CHIU-YU TASI, S. PENDHARKAR, " LATERAL THINKING ABOUT POWER DEVICES(LDMOS) ",IDEM TECHNICAL DIGEST, 1998, PP.679-682.
- [6] NARESH THAPAR AND B. J. BALIGA, " A COMPARISON OF HIGH FREQUENCY CELL DESIGNS FOR HIGH VOLTAGE DEMOSFETS ", PROC. OF INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES & ICS, 1994, PP131-135.
- [7] KRAISORN THRONGNUMCHAI, " A STUDY ON THE EFFECT OF THE GATE CONTACT AND DIMENSIONS ON ESD FAILURE THRESHOLD LEVEL OF POWER MOSFETS ", IEEE TRANS. ELECTRON DEVICES, VOL.41, 1994, PP1282-1287.
- [8] AJITH AMERASEKERA, CHARVAKA DUVURY, " ESD IN SILICON INTEGRATED CIRCUITS ",JOHN WILEY&SONS,1996.
- [9] R. ZEZULKA, " ESD BASICS " 1993 EOS/ESD TUTORIAL NOTES., PP-A-1-A-28, SEPT. 1993.
- [10]MIL-STD-883C METHOD 3015.7 " MILITARY STANDARD TEST METHODS AND PROC. FOR MICROELECTRONICS ", DEPT. OF DEFENSE, WASHINGTON, D. C., U.S.A.,1989.
- [11] KELLY, M.; SERVAIS, G.; DIEP, T.; LIN, D.; TWEREFOR, S.; SHAH, G. " A COMPARISON OF ELECTROSTATIC DISCHARGE MODELS AND FAILURE SIGNATURES FOR CMOS INTEGRATED CIRCUIT DEVICES " ELECTRICAL OVERSTRESS/ELECTROSTATIC DISCHARGE SYMPOSIUM PROCEEDINGS, 1995, 1995 PAGE(S): 175 -185.
- [12] T. J. MALONEY, " DESIGNING MOS INPUTS AND OUTPUTS TO AVOID OXIDE FAILURE IN THE CHANGED DEVICE MODEL " IN PROC. 10TH EOS/ESD SYMPOSIUM, 1989, PP.59-71 [13]L. J. VAN ROOZENDAAL, E. A. AMERASEKERA, P.BOS, W. BAELEDE, F. BONTEKOE, P. KERSTEN, E. KORMA,P. KRYS, U.WEBER, P. ASHBY, " STANDARD ESD TESTING ", IN PROC 12TH EOS/ESD SYMPOSIUM,1990, PP.119-130.
- [14]R.G. RENNINGER,M.-C. JON, D.L.LIN, T. DIEP, T. L. WELSHER, " A FIELD INDUCE CHARGED DEVICE MODEL SIMULATOR ", IN PROC. 11TH EOS/ESD SYMPOSIUM, 1989, PP.59-71.
- [15] B. GREASON, " DYNAMICS OF THE BASIC ESD EVENT " 1993 EOS/ESD TUTORIAL NOTES, PP. E-1-E-21, SEPT. 1993.
- [16]E.AJITH AMERASEKERA, FARID N. NAJM, " FAILURE MECHANISMS IN SEMICONDUCTOR DEVICES ",SECOND EDITION,

PP.76,1998.

[17]朱季齡 " 功率MOS元件ESD保護電路設計之研究 " PP.22-23,1990.

[18]S. DABRAL, T. MALONEY, " BASIC ESD AND I/O DESIGN ",INTEL CORP. WILEY, 1998.

[19] 中華民國第二十一屆電力工程研討會 " 功率MOS元件ESD保護電路設計與量測 " PP.990 ~ 994,1990.

[20] 2001 EMC 電磁相容研討會 "LDMOS之ESD保護電路設計與量測分析" PP.55 ~ 59,1990.