

# 靜電放電保護電路設計與閃鎖效應防制之研究

黃致遠、陳勳祥

E-mail: 9124931@mail.dyu.edu.tw

## 摘要

隨著積體電路包裝密度的增加，元件的尺寸也跟著縮小化，在互補式金氧半積體電路中，可靠度的工程都一直扮演非常重要的角色，在過去LATCH UP問題，總是困擾著積體電路工作者，因此大家無不想盡方法去阻止LATCH UP的發生。所以在先進製程中，不管從LAYOUT或製程技術上改善，均可大幅提高積體電路的可靠度，但很不幸的，在這些改善LATCH UP及提高積體電路集積度的製程中卻衍生出另一過去較不重要的可靠性問題 - ESD，常常因為這些製程的改變，進而影響電子電路上的可靠度，成為遭受ESD破壞的來源，而造成電子電路的故障。本論文主要分為兩個部份，一是我們利用TMA-MEICI元件電性模擬器去找出最佳的設計參數，可減少很多的時間與成本，又可分析保護元件內部電流的流向，溫度的分布，避免閃鎖效應（LATCH UP）發生，另一即是利用TSMC 0.35 μm製程，實現LVTSCR元件並利用實驗晶片結果分析其抗ESD能力，期使由這樣的設計驗證最佳的元件設計值，之後再依此為根據並改良LVTSCR，即如何得到適當的觸發電壓、握住電壓，並成功有效提高了電流至100MA以上，找出雙向式靜電放電保護結構，對內部電路做全方位的保護，我們也針對雙向式高電流觸發ESD保護電路設計的實驗晶片做抗靜電放電能力測試，元件的抗正向ESD果然表現較好，最低的抗負向ESD保護能力也至少大於工業級標準。

關鍵詞：靜電放電效應，閃鎖效應，矽控整流體

## 目錄

第一章 緒論	1.1 靜電放電的問題--P1	1.2 閃鎖效應之影響--P2	1.3 論文架構--P4												
第二章 靜電放電概述及測試	2.1 靜電的成因--P5	2.2 靜電放電破壞機制--P7	2.2.1 人體放電模型--P7	2.2.2 機器放電模型--P10	2.2.3 元件充電模型--P12	2.2.4 電場感應模型--P13	2.3 靜電放電測試程序--P13	2.3.1 靜電放電測試組合--P13	2.3.2 I/O PIN的靜電放電測試--P13	2.3.3 PIN TO PIN的靜電放電測試--P15	2.3.4 VDD-TO-VSS的靜電放電測試--P16	2.3.5 ANALOG PIN的靜電放電測試--P17	2.3.6 靜電放電測試故障臨界電壓值--P18	2.4 靜電放電測試的判定標準--P19	2.5 靜電放電測試結果判讀--P20
第三章 靜電放電保護電路基本元件	3.1 靜電放電保護電路概念--P21	3.2 電阻--P24	3.3 二極體--P25	3.4 雙載子界面電晶體--P27	3.5 金氧半場效電晶體--P29	3.6 矽控整流體--P33									
第四章 閃鎖效應的防制	4.1 閃鎖效應的產生--P38	4.2 閃鎖效應模擬--P40	4.2.1 閃鎖效應結構模擬--P40	4.2.2 閃鎖效應電性模擬結果--P42	4.3 閃鎖效應的防制--P47										
第五章 量測結果與討論	5.1 實驗樣品--P49	5.1.1 低電壓觸發矽控整流體(LVTSCR)--P49	5.1.2 雙向式ESD保護設計--P54	5.2 實驗步驟--P58	5.3 樣品電性分析--P59	5.3.1 低電壓觸發矽控整流體量測結果--P59	5.3.2 雙向式高電流觸發ESD保護電路設計--P61	5.4 抗ESD能力測試--P63							
第六章 結論--P66	參考文獻--P68	附錄--P71													

## 參考文獻

- [1]YASUHIRO FUKUDA,KATSUHIRO KATO,AND EIICHI UMEMURA,"ESD AND LATCH UP PHENOMENA ON ADVANCED TECHNOLOGY LSI ", EOS/ESD SYMPOSIUM 96-76 , PP2.4.1- 2.4.9.
- [2]TERUO SUZUKI,SATOSHI SEKINO, SEIGO ITO, AND HIDEO MONMA,"ESD AND LATCH-UP CHARACTERISTICS OF SEMICONDUCTOR DEVICE WITH THIN EPITAXIAL SUBSTRATE",EOS/ESD SYMPOSIUM 98-199 ,PP3A.6.1-3A.6.9
- [3]CHUNG-YU WU, MING-DOU KER,CHUNG-YUAN LEE,AND JOE KO,"A NEW ON-CHIP ESD PROTECTION CIRCUIT WITH DUAL PARASITIC SCR STRUCTURE FOR CMOS VLSI",IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL 27,NO.3 MARCH 1992, PP274-280
- [4]R.J. PLOWMAN,"ELECTROSTATIC DISCHARGE:A REVIEW,"IEEE COLLOQUIUM ESD(ELECTROSTATIC DISCHARGE) AND ESD COUNTER MEASURE(DIGEST NO.1995/06 , PP.1-8
- [5]"AMERICAN NATIONAL STANDARD GUIDE FOR ELECTROSTATIC DISCHARGE TEST METHODOLOGIES AND CRITERIA FOR ELECTRONIC EQUIPMENT"ACCREDITED STANDARDS COMMITTEE ON ELECTROMAGNETIC COMPATIBILITY, C63, USA.
- [6]L.VAN,ROOZENDAL,A.AMERASEKERA,P.BOS,W.BAELDS,F.BONTEKOE,P.KERSTEN,E.KORMA,P.KERSTEN,E.KORMA,P.ROMMERS,P.KRYS.WEBER, AND P.ASHBY, "STANDARD ESD TESTING OF INTEGRATED CIRCUIT. "EOS/ESD SYMPOSIUM PROCEEDING, EOS-12,PP.119-130,1990.
- [7]柯明道 ,陳東暘"次微米互補式金氧半積體電路之靜電防護".CCL TECHNICAL JOURNAL 9.5.,PP.85 -96 1997.
- [8]MIL-STD-883C METHOD 3015.7,"MILITARY STANDARD TEST METHODS AND PROC.FOR MICROELECTRONICS", DEPT.

OF DEFENSE, WASHINGTON, D. C., U.S.A., 1989.

[9]JEDC STANDARD JESD22-A114-B " ELECTROSTTIC DISCHARGE (ESD) SENSITIVITY TESTING HUMAN BODY MODEL(HBM). " JEDEC SOLID STSTE TECHNOLOGY ASSOCIATION, JUNE 2000 .

[10]JEDC STANDARD JESD22-A114-B"ELECTROSTTIC DISCHARGE (ESD) SENSITIVITY TESTING MACHINE MODEL (MM). " JEDEC SOLID STSTE TECHNOLOGY ASSOCIATION, JUNE 2000 .

[11]李文明, " 功率MOS元件ESD破壞可靠性分析之研究" 大葉大學,2000 [12]朱季齡, " 功率MOS元件ESD保護電路設計之研究" 大葉大

學,2000 [13]ALBERT Z.WANG , CHEN H.TSAY AND QING W.SHAN, "A NOVEL DUAL-DIRECTION IC ESD PROTECTION DEVICE" , PROCEEDINGS OF 7TH IPFA'99 , SINGAPORE , PP151-155.

[14]MEDICI, VERSION 4.0 USER'S MANUAL , TECHNOLOGY MODELING ASSOCIATES , INC. , OCTOBER 1997 [15]MING-DOU

KER,HUN-HSIEN CHANG,"HOW TO SAFELY APPLY THE LVTSCR FOR CMOS WHOLE -CHIP ESD PROTECTION WITHOUT BEING ACCIDENTALLY TRIGGERED ON " , EOS/ESD SYMPOSIUM 98-72, 2A.3. 1-2A.3.14..

[16]H.GOBNER,T.MULLER,K.EESMARK AND M.STECHER,"WIDE RANGE CONTROL OF THE SUSTAINING VOLTAG -E OF ESD PROTECTION ELEMENTS REALIZED IN A SMART POWER TECHNOLOGY",EOS/ESD SYMPOSIUM 99-19, 1A.3.1-1A.3.9