

功率MOS元件ESD破壞可靠性分析之研究

李文明、陳勝利

E-mail: 9015773@mail.dyu.edu.tw

摘要

本論文針對自行開發設計之100V LD NMOS、200V LD NMOS及IRF640、RFW2N06RLE、RLP03N06CLE五種樣品，進行抗靜電放電破壞能力測試及可靠性分析。從測試結果發現，由閘極輸入的靜電放電脈衝，會造成LD NMOS、IRF640的臨限電壓改變及通道電子遷移率的變化，其臨限電壓最大的改變幅度約為一倍(由 V_{T0} 變成 $2V_{T0}$ ，其中 V_{T0} 為測試前的臨限電壓)，遷移率最多降低為原來的一半左右；而具有靜電放電保護電路設計的RFW2N06RLE及RLP03N06CLE功率電晶體IC，受靜電放電破壞的程度，遠比未具靜電放電保護電路的功率電晶體來得小。由此可知，功率電晶體雖然被設計應用於高電壓、大電流的偏壓條件，但對於動輒上千伏特的靜電放電電壓、數安培的靜電放電電流而言，功率電晶體仍嫌脆弱，所以為了確保功率電晶體等高功率元件的可靠度，靜電放電保護電路設計是當務之急。

關鍵詞：無

目錄

第一章 緒論--P1 第二章 靜電放電概述及測試--P 6 第一節 靜電的產生--P 6 第二節 靜電放電的模式--P 7 第三節 靜電放電測試組合--P 12 第四節 靜電放電測試方法--P 17 第五節 靜電放電失效判定--P 18 第三章 ESD測試樣品--P 20 第一節 100V LD nMOS樣品--P 20 第二節 200V LD nMOS樣品--P 23 第三節 IRF640樣品--P 25 第四節 RFW2N06RLE樣品--P 27 第五節 RLP03N06CLE樣品--P 29 第四章 抗靜電放電能力測試--P 34 第一節 測試方法與失效判定標準--P 34 第二節 測試結果--P 35 第五章 靜電放電可靠性測試--P 52 第一節 測試方法--P 52 第二節 測試結果--P 53 第六章 結論--P 123

參考文獻

- [1]B.J.BALIGA, "TRENDS IN POWER DISCRETE DEVICES", PROC. OF INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES & ICS, 1998, PP5-9.
- [2]李宏俊, "高功率金氧半場效電晶體製程技術及發展趨勢", 電力電子技術, NO. 55, PP.23~P34, 2000.
- [3]劉中民, "公元2000年之功率元件技術發展趨勢", 電力電子技術, NO. 55, PP.10~22, 2000.
- [4]P. ZUPAC, D.POTE, R. D. SCHRIMPT, AND K. F. GALLOWAY, "ANNEALING OF ESD-INDUCED DAMAGE IN POWER MOSFETS", EOS/ESD SYMPOSIUM, 1992, PP. 121-128.
- [5]KRAISORN THRONNUMCHAI, "A STUDY ON THE EFFECT OF THE GATE CONTACT AND DIMENSIONS ON ESD FAILURE THRESHOLD LEVEL OF POWER MOSFETS", IEEE TRANS. ELECTRON DEVICES, VOL.41, 1994, PP1282-1287.
- [6]NARESH THAPAR AND B. J. BALIGA, "A COMPARISON OF HIGH FREQUENCY CELL DESIGNS FOR HIGH VOLTAGE DMOSFETS", PROC. OF INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES & ICS, 1994, PP131-135.
- [7]TAYLOR R. EFLAND, CHIU-YU TSAI, S. PENDHARKAR, "LATERAL THINKING ABOUT POWER DEVICES (LDMOS)", IEDM TECHNICAL DIGEST, 1998, PP. 679-682.
- [8]A. PIERACCI AND B. RICCO, "A NEW CHARACTERIZATION METHOD FOR HOT-CARRIER DEGRADATION IN DMOS TRANSISTORS", IEEE TRANS. ELECTRON DEVICES, VOL.45, 1998, PP1855-1858.
- [9]A. JAKSIC, M. PEJOVIC, G. RISTIC, "LATENT INTERFACE-TRAP GENERATION IN COMMERCIAL POWER VDMOSFETS", IEEE TRANS. NUCLEAR SCIENCE, VOL.45, 1998, PP1365-1371.
- [10]S. MANZINI, A. GALLERANO, AND C. CONTIERO, "HOT-ELECTRON INJECTION AND TRAPPING IN THE GATE OXIDE OF SUBMICRON DMOS TRANSISTORS", PROC. OF INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES & ICS, 1998, PP415-418.
- [11]E. AJITH AMERASEKERA, FARID N. NAJM, "FAILURE MECHANISMS IN SEMICONDUCTOR DEVICES", SECOND EDITION, PP.71~77, 1998.
- [12]陳舜堯, 何玄政, 劉淑惠, "靜電放電(ESD)概論", 電子發展月刊, 第145期, PP.15~26, 1990.
- [13]AJITH AMERASEKERA, CHARVAKA DUVVURY, "ESD IN SILICON INTEGRATED CIRCUITS", JOHN WILEY & SONS, 1996.
- [14]MIL-STD-883E, METHOD 3015.7, 1989.
- [15]柯明道, "次微米互補式金氧半積體電路之靜電放電防護-全晶片防護設計篇", 電腦與通訊, 第62期, PP.67~83, 1997.

[16]張俊彥譯著，施敏原著，"半導體元件物理製作技術"，高立圖書有限公司，1996。