

快閃記憶體元件設計之研究

陳仲杰、陳勝利

E-mail: 8700842@mail.dyu.edu.tw

摘要

本論文主要是在研究快閃記憶體元件在不同偏壓情況下,對寫入與抹除的影響,並討論元件的可靠度問題。我們所使用的快閃記憶體元件,其結構是簡單雙重閘極堆疊型結構,兩層閘極間更以ONO為絕緣物。我們將朝熱電子退化效應,熱電子累增崩潰及氧化層的TDDB三個可靠性問題著手,並設設計出一個在汲極偏壓為5V時,氧化層厚度與通道長度的理想規劃區域。另外,元件的操作方式有通道熱電子注入,源極端福勒諾得漢抹除操作,通道福勒諾得漢寫入與抹除操作及負閘極抹除操作,因此我們也將研究不同的偏壓方式對元件寫入與抹除的影響。最後也希望我們的研究成果能對未來快閃記憶體的產品設計有所助益。

關鍵詞：快閃記憶體；快閃記憶體元件設計

目錄

0

參考文獻

0