

The Implementation of Majority-Logic Decoding in an Euclidean Geometry LDPC Code

林玠廷、胡大湘

E-mail: 375512@mail.dyu.edu.tw

ABSTRACT

In this study, the combination of logic gate circuits and shift registers realizes majority-logic decoding of Euclidean geometry low-density parity codes. An s of a Euclidean geometry low-density parity code is used to represent an order. As this order is larger, the corresponding parity check matrix becomes larger and the error correction capability also rises up. When a value of s becomes double, the error correction capability increases double. The advantages of LDPC codes can be applied in many high-speed transmission systems, such as the EG-LDPC code in this study is applied to high-speed optical fiber transmission. Majority-logic decoding employs the following 3 steps: the syndrome vector is generated by the result of multiplication of the received sequence and the parity-check matrix, and a majority decoder based on the syndrome vector generates 1 or 0 to determine whether the certain bit in the received sequence is correct or not, and finally correct this bit and cyclically shift to the next bit. When the shift runs a complete cycle, decoding stops this process and output the decoded sequence. The majority decoder in this study employs a cyclic shift register of 4095 bits and 64 bit XOR logic gates for syndrome computation. Finally, under the consideration of the distribution of 1 and 0 in the syndrome vector, this study uses two 7-bit synchronous counters and a comparator to implement majority logic circuit. When the output value of the counter reaches the threshold of the comparator, a signal will be send back to terminate the output compare, and the error correction process and the next bit cyclic shift then start. In such a way, it reduces significantly the decoding timing.

Keywords : Low density parity check code、Majority-logic decode、Error-correcting codes.

Table of Contents

封面內頁 簽名頁 中文摘要	iii 英文摘要
.	iv 誌謝
.	v 目錄
.	vi 圖目錄
.	viii 表目錄
.	x 第一章 緒論 1.1 前言
.	1 1.2 研究目的
.	2 1.3 基礎通訊原理架構
.	3 第二章 低密度檢測碼原理及編碼與解碼 2.1 伽羅瓦場GF (Galois field)
.	4 2.2 EG-LDPC 參數定義
.	6 2.3 低密度校驗碼編碼演算法則
.	7 2.3.1 歐幾里德幾何空間 (Euclidean geometry)
.	7 2.3.2 低密度檢測碼編碼
.	8 2.4 低密度檢測碼解碼演算法則
.	9 2.4.1 大數邏輯解碼 (Majority-Logic Decode)
.	9 2.4.2 大數邏輯解碼範例
.	11 第三章 大數邏輯解碼器硬體實現之架構 3.1 大數邏輯解碼判斷器
.	17 3.1.1 漣波進位加法器 (ripple carry)
.	18 3.1.2 進位預算全加器 (carry look-ahead adder)
.	20 3.1.3 同步計數器 (synchronous counter)
.	21 3.2 大數邏輯解碼判斷器分析比較
.	22 第四章 硬體實現與模擬驗證 4.1 大數邏輯解碼運算實現及驗證
.	26 4.2 大數邏輯解碼器電路實現與模擬
.	31 4.3 大數邏輯解碼器驗證
.	36 4.3.1 驗證流程及結果
.	37 第五章 結論及未來展望 參考文獻
.	51 圖目錄
.	3 圖 3-1 Majority-Logic Decode (MLD) 簡圖
.	17 圖 3-2 漣波進位加法器原理示意圖
.	19 圖 3-3 用漣波進位加法器原理之大數決策器示意圖
.	20 圖 3-4 進位預算加法器原理示意圖
.	21 圖 3-5 用進位預算加法器原理之大數決策器示意圖
.	21 圖 3-6 7 位元同步計數器原理示意圖
.	22 圖 3-7 7 位元同步計數器原理之大數決策器示意圖
.	22 圖 3-8 一位元全加器之邏輯電路圖

24 圖 3-9 J-K 正反器之邏輯電路圖	24 圖 4-1 MATLAB
上各點元素向量表示法在(2) 12 GF 對照表	27 圖 4-2 各點元素向量表示法在(2) 12 GF 對照表
28 圖 4-3 將H 矩陣分解成12 2 個檔案	29 圖 4-4 當錯誤
誤訊息在改錯能力範圍內	30 圖 4-5 當錯誤訊息超出改錯能力
30 圖 4-6 Majority-Logic Decode (MLD) 示意圖	31 圖
4-7 儲存訊息序列之暫存器電路架構圖	32 圖 4-8 大數邏輯法則解碼器電路架構圖
33 圖 4-9 當s = 2的場(2,2) 2 EG 錯誤數量為2 個位元時波型圖	34
圖 4-10 當s = 2的場(2,2) 2 EG 錯誤數量為2 個位元以上時波型圖	34 圖 4-11 當s = 3的場(2,2) 3 EG 錯誤數量為4
個位元時波型圖	35 圖 4-12 當s = 3的場(2,2) 3 EG 錯誤數量為4 個位元以上時波型圖
35 圖 4-13	當s = 6的場(2,2) 6 EG 錯誤數量為32 個位元時波型圖
36 圖 4-14 當s = 6的場(2,2) 6 EG 錯誤數量為32 個位	元以上時波型圖
36 圖 4-15 由ISE 合成電路後之報告	37 圖 4-16
合成後RTL 電路圖	38 圖 4-17 電路架構_Technology
38 圖 4-18 建立新專案	
39 圖 4-19 專案命名與儲存路徑設置	39 圖 4-20 選擇類型
40 圖 4-21 選擇new design	
40 圖 4-22 選擇開發板型號	41 圖 4-23 選擇單或雙處理器
41 圖 4-24 選擇時脈頻率	
42 圖 4-25 調整與選擇所需IP	43 圖 4-26 切換
到Project 查看	44 圖 4-27 cmd 文件中之訊息
44 圖 4-28 切換至Applications 添加模組	45 圖 4-29
軟體編譯步驟和順序	46 圖 4-30 硬體編譯步驟和順序
46 圖 4-31 最後下載燒錄步驟	
47 圖 4-32 終端機等待輸入序列	47 圖 4-33 終端機顯示校正正確
48 圖 4-34 終端機顯示校正失敗	
48 表目錄 表 2-1 本質多項式 $f(x) = 1 + x + x^4$ 所建立之4 GF(2)	5 表 2-2 EG-LDPC 碼參
數說明	5 表 2-3 不同EG-LDPC 碼的容錯能力
6 表 2-4 (2) 4 GF 的最小多項式對照表	8 表 2-5 (2) 2 GF 的
對照表	13 表 3-1 大數解碼判斷器三種方式之比較表
24	

REFERENCES

- [1]Shu Lin, and Daniel J Costello, Jr., Error Control Coding, Prentice hall, 2nd edition, pp. 273-295, pp. 307-311, 2004.
- [2]蔡坤均, " Message Passing Algorithms on Generator Matrices," 通訊工程研究所碩士研究, 中正大學, pp. 3-4.
- [3]Bernard Sklar, " 數位通訊:原理與應用," 第2版, pp. 5, 2004.
- [4]賴偉誌, " The Implementation of Low-Density Parity-Check Code Decoder," 電機工程研究所碩士論文, 大葉大學, pp. 3-6.
- [5]吳泰宗, " The Implementation of an Reed-Solomon Decoder with CPU Technology," 電機工程研究所碩士論文, 大葉大學, pp. 4-5.
- [6]鐘偉碩, " Combining Low-Density Parity-Check Codes with Recursive Convolutional Codes for Error-Correction in Binary Erasure Channels," 通訊與IC產業研發碩士論文, 逢甲大學, pp. 12-14, 2007.
- [7]潘聖元, " Low-Density Parity-Check Codes Incorporated with Unequal Error Protection for Image Transmission," 電子工程所碩士研究, 台灣科技大學, pp. 25-27, 2007.
- [8]Yu Kou, Shu Lin, Marc P. C. Fossorier, " Low-Density Parity-Check Codes Based on Finite Geometries: A Rediscovery and New Results," IEEE Transactions on Information Theory, Vol. 47, No. 7, pp. 2713-2715, November. 2001.