

# 歐幾里德幾何空間低密度檢測碼之大數邏輯解碼器實現

林玠廷、胡大湘

E-mail: 375512@mail.dyu.edu.tw

## 摘要

本論文中以邏輯閘電路與循環移位暫存器結合方式實現歐幾里德幾何空間低密度檢測碼的大數邏輯解碼器。在歐幾里德幾何空間的LDPC碼利用 $s$ 來表示不同的級數，當級數越大相對的檢測矩陣也跟著越大而其改錯能力也會跟著上升，每上升一個級數其改錯能力也將跟著上升一倍。LDPC碼的優勢可應用在許多高速傳輸的通訊系統，例如本論文的EG-LDPC碼將可應用於高速的光纖傳輸上。大數邏輯解碼有三個步驟，首先將接收到的訊息序列與上述之檢測矩陣產生錯誤徵狀，接著利用大數邏輯判斷其結果為1或是0，再接著將判斷後的結果加回序列中並同時進行循環移位，最後訊息序列上的所有位元循環過一遍後即解碼完成。於本論文中該解碼器是利用一組4095位元的暫存器做循環移位之功能，加上64個XOR邏輯閘進行錯誤徵狀的加總。最後，考量輸出錯誤徵狀的0位元與1位元的不平均現象，本論文採用2個7位元同步計數器配合上一個比較器實作大數邏輯判斷演算法電路。當計數器的輸出值到達比較器門檻值時，將回送一信號終止比較並輸出結果，如此可大幅降低解碼時序。

關鍵詞：LDPC碼(Low density parity check)、Majority-Logic Decode (MLD)、錯誤更正碼

## 目錄

封面內頁 簽名頁 中文摘要 . . . . .	iii
. . . . .	iv
. . . . .	v
. . . . .	vi
. . . . .	viii
. . . . .	x
. . . . .	1
. . . . .	2
. . . . .	3
. . . . .	4
. . . . .	6
. . . . .	7
. . . . .	7
. . . . .	8
. . . . .	9
. . . . .	11
. . . . .	17
. . . . .	20
. . . . .	21
. . . . .	22
. . . . .	26
. . . . .	31
. . . . .	36
. . . . .	37
. . . . .	51
. . . . .	3
. . . . .	17
. . . . .	19
. . . . .	20
. . . . .	21
. . . . .	22
. . . . .	22
. . . . .	24
. . . . .	24
. . . . .	27
. . . . .	28
. . . . .	29
. . . . .	30
. . . . .	30
. . . . .	31

4-7 儲存訊息序列之暫存器電路架構圖 . . . . .	32	圖 4-8 大數邏輯法則解碼器電路架構圖 . . . . .	32
. . . . .	33	圖 4-9 當s = 2的場(2,2) 2 EG 錯誤數量為2 個位元時波型圖 . . . . .	34
圖 4-10 當s = 2的場(2,2) 2 EG 錯誤數量為2 個位元以上時波型圖 . . . . .	34	圖 4-11 當s = 3的場(2,2) 3 EG 錯誤數量為4 個位元時波型圖 . . . . .	35
圖 4-12 當s = 3的場(2,2) 3 EG 錯誤數量為4 個位元以上時波型圖 . . . . .	35	圖 4-13 當s = 6的場(2,2) 6 EG 錯誤數量為32 個位元時波型圖 . . . . .	36
圖 4-14 當s = 6的場(2,2) 6 EG 錯誤數量為32 個位元以上時波型圖 . . . . .	36	圖 4-15 由ISE 合成電路後之報告 . . . . .	37
圖 4-16 合成後RTL 電路圖 . . . . .	38	圖 4-17 電路架構_Technology . . . . .	38
. . . . .	38	圖 4-18 建立新專案 . . . . .	39
. . . . .	39	圖 4-19 專案命名與儲存路徑設置 . . . . .	39
. . . . .	40	圖 4-20 選擇類型 . . . . .	40
. . . . .	40	圖 4-21 選擇new design . . . . .	41
. . . . .	41	圖 4-22 選擇開發板型號 . . . . .	41
. . . . .	41	圖 4-23 選擇單或雙處理器 . . . . .	41
. . . . .	42	圖 4-24 選擇時脈頻率 . . . . .	42
. . . . .	42	圖 4-25 調整與選擇所需IP . . . . .	43
到Project 查看 . . . . .	44	圖 4-26 切換 . . . . .	43
. . . . .	44	圖 4-27 cmd 文件中之訊息 . . . . .	44
. . . . .	44	圖 4-28 切換至Applications 添加模組 . . . . .	45
軟體編譯步驟和順序 . . . . .	46	圖 4-29 軟體編譯步驟和順序 . . . . .	46
. . . . .	46	圖 4-30 硬體編譯步驟和順序 . . . . .	46
. . . . .	47	圖 4-31 最後下載燒錄步驟 . . . . .	47
. . . . .	47	圖 4-32 終端機等待輸入序列 . . . . .	47
. . . . .	48	圖 4-33 終端機顯示校正正確 . . . . .	48
. . . . .	48	圖 4-34 終端機顯示校正失敗 . . . . .	48
. . . . .	5	表 2-2 EG-LDPC 碼參數說明 . . . . .	5
. . . . .	5	表 2-3 不同EG-LDPC 碼的容錯能力 . . . . .	5
. . . . .	6	表 2-4 (2) 4 GF 的最小多項式對照表 . . . . .	8
. . . . .	13	表 2-5 (2) 2 GF 的對照表 . . . . .	13
. . . . .	13	表 3-1 大數解碼判斷器三種方式之比較表 . . . . .	13
. . . . .	24		

## 參考文獻

- [1]Shu Lin, and Daniel J Costello, Jr., Error Control Coding, Prentice hall, 2nd edition, pp. 273-295, pp. 307-311, 2004.
- [2]蔡坤均, “ Message Passing Algorithms on Generator Matrices, ” 通訊工程研究所碩士研究, 中正大學, pp. 3-4.
- [3]Bernard Sklar, “ 數位通訊:原理與應用, ” 第2版, pp. 5, 2004.
- [4]賴偉誌, “ The Implementation of Low-Density Parity-Check Code Decoder, ” 電機工程研究所碩士論文, 大葉大學, pp. 3-6.
- [5]吳泰宗, “ The Implementation of an Reed-Solomon Decoder with CPU Technology, ” 電機工程研究所碩士論文, 大葉大學, pp. 4-5.
- [6]鐘偉碩, “ Combining Low-Density Parity-Check Codes with Recursive Convolutional Codes for Error-Correction in Binary Erasure Channels, ” 通訊與IC產業研發碩士論文, 逢甲大學, pp. 12-14, 2007.
- [7]潘聖元, “ Low-Density Parity-Check Codes Incorporated with Unequal Error Protection for Image Transmission, ” 電子工程所碩士研究, 台灣科技大學, pp. 25-27, 2007.
- [8]Yu Kou, Shu Lin, Marc P. C. Fossorier, “ Low-Density Parity-Check Codes Based on Finite Geometries: A Rediscovery and New Results, ” IEEE Transactions on Information Theory, Vol. 47, No. 7, pp. 2713-2715, November. 2001.