

以整數線性規劃法解決大型3D超大型積體電路增量式平面規劃

梁峰碩、程仲勝

E-mail: 374893@mail.dyu.edu.tw

摘要

增量式平面規劃(incremental floorplanning)被提出改善平面規劃中只有某些模組位置以及功能需要修改的時候，不論其修改的範圍大小，都需要反覆執行平面規劃的缺點。本論文針對大型3D超大型積體電路，採用數學規劃法策略，執行增量式平面規劃，嘗試達到佈局最佳化以及縮點平面規劃佈局時間。以往利用整數線性規劃法在針對解小型VLSI電路增量式平面規劃有不錯的成果，但隨著現代晶片功能的加強，晶片面積也隨之增大，若直接使用整數線性規劃法解大型VLSI電路增量式平面規劃，會有限制式及變數過多，以致造成時間上的增加。因此本文利用分割克服法將大型VLSI電路分割成較小的子電路，配合整數線性規劃法對子電路進行增量及佈局的動作，在將子電路整合成原電路，以解決問題。

關鍵詞：3D IC、增量式平面規劃、整數線性規劃

目錄

封面內頁 簽名頁 摘要 iii ABSTRACT iv 誌謝 v 目錄. vi 圖目錄 viii 表目錄 x 第一章 緒論 1 1.1研究動機與目的 1 1.2研究方法 3 1.3論文架構 3 第二章 相關文獻探討 4 2.1 3D晶片整合技術 4 2.1.1封裝堆疊 4 2.1.2晶片堆疊 6 2.1.3 TSV堆疊 7 2.1.4 3D IC堆疊方式 8 2.2增量式平面規劃 11 2.3 Corner Stitching表示法 12 2.4 線性規劃 14 第三章 整數線性規劃法解決大型3D VLSI增量式平面規劃 16 3.1 問題描述 16 3.2 方法流程 17 3.2 晶片分割 20 3.3 建立二元樹 22 3.4 子晶片順序選擇 25 3.5 整數線性規劃式增量處理 26 第四章 實驗結果 29 4.1 N100增量實驗 30 4.1.1 N100垂直優先增量 30 4.1.2 N100水平優先增量 34 4.2 N300增量實驗 36 4.2.1 N300垂直增量優先 39 4.2.2 N300水平增量優先 42 第五章 結論與未來展望 45 參考文獻 46

參考文獻

- [1]W. Zhong, S. Chen and T. Yoshimura, " Whitespace Insertion for Through-Silicon Via Planning on 3-D SoCs, " IEEE Transactions on Circuit and System, pp. 913-916, May 2010.
- [2]3D IC stacking technology Mar. 2010. http://www.2cm.com.tw/coverstory_content.asp?sn=1002260022.
- [3]郭子熒, 3D IC技術簡介與其發展現況, 先進微系統與構裝技術聯盟季刊, 第三十期, 78~85頁, 2008年。
- [4]游淑惠, 台灣半導體發展新紀元 – 3D IC, 系統晶片第9期, 3~10頁, 2008年。
- [5]A. Yoshida, J. Taniguchi, K. Murata, M. Kada, Y. Yamamoto, Y. Takagi, T. Notomi, A. Fujita, " A Study on Package Stacking Process for Package-on-Package(POP) ", Amkor Technology, Japan.
- [6]D. H. Kim, S. Mukhopadhyay, and S. K. Lim, " Through-Silicon-Via Aware Interconnect Prediction and Optimization for 3D Stacked ICs ", SLIP, San Francisco, California, USA, July, 2009.
- [7]D. M. Jang, C. Ryul, K. Y. Lee, B. H. Cho, J. Kiml, T. S. Oh, W. J. Lee and J. Yu, " Development and Evaluation of 3-D SiP with Vertically Interconnected Through Silicon Vias (TSV) ", Electronic Components and Technology Conference, 2007.
- [8]M. Kawano, S. Uchiyama, Y. Egawa, N. Takahashi, Y. Kurita, K. Soejima, M. Komuro, S. Matsui, K. Shibata, J. Yamada, M. Ishino, H. Ikeda, Y. Saeki, O. Kato, H. Kikuchi and T. Mitsuhashi, " A 3D Packaging Technology for 4 Gbit Stacked DRAM with 3 Gbps Data Transfer ", IEDM, Shimokuzawa, Sagamihara, Kanagawa, Japan, 2006.
- [9]P. D. Franzon, W. R. Davis, M. B. Steer, S. Lipa, E. C. Oh, T. Thorolfsson, S. Melamed, S. Luniya, T. Doxsee, S. Berkeley, B. Shani and K. Obermiller, " Design and CAD for 3D Integrated Circuits ", DAC, Anaheim, California, USA, June 2008.
- [10]I. Loi, S. Mitra, T. H. Lee, S. Fujita and Luca Benini, " A Low-overhead Fault Tolerance Scheme for TSV-based 3D Network on Chip Links ", ICCAD, Toshiba, San Jose, CA, USA, 2008.
- [11]Amkor Technology: <http://www.amkor.com/>.
- [12]D. H. Kim, K. Athikulwongse, and S. K. Lim, " A Study of Through-Silicon-Via Impact on the 3D Stacked IC Layout ", ICCAD ' 09, San Jose, California, USA, November 2-5 2009.
- [13]J. Cong and M. Sarrafzadeh " Incremental Physical Design " Proceedings of International Symposium on Physical Design. 2000.
- [14]Y. Liu, H. Yang and R. Luo " An Incremental Floorplanner Based on Genetic Algorithm " Proceedings of 5th International Conference on ASCI Vol.1, 2003, Pages 331-334.
- [15]L. Yang, Y. Ma, X. Hong, S. Dong and Q. Zhou " An Incremental Algorithm for Non-Slicing Floorplan Based on Corner Block List

Representation” Chinese Journal of Semiconductors Vol.26 No.12, 2005, Pages 2335-2343.

[16]高一宏、程仲勝，“植基於Corner Block List表示法之增量式平面規劃之研究”私立大葉大學電機工程研究所，2007年。

[17]Qing. Dong, Bo. Yang, Jing. Li, “Incremental Buffer Insertion and Module Resizing Algorithm Using Geometric Programming” Great Lakes Symposium on VLSI, 2009, Pages 413-416.

[18]張家銘、程仲勝，“植基於Corner Stitching表示法之增量式平面規劃之研究”私立大葉大學電機工程研究所，2007年。

[19]鄭威佑、程仲勝，“以整數線性規劃法解決3D超大型積體電路增量式平面規劃”私立大葉大學資訊工程研究所，2012年。