

新型D類放大器晶片設計

陳瑞昌、李世鴻

E-mail: 374718@mail.dyu.edu.tw

摘要

本文針對新型D類放大器晶片的設計與實現，使其具有低電壓、高效能、體積小、量產速度快的特點可應用於手提式電腦等裝置，本晶片適合應用在電源穩壓、影音放大、通信控制、無線通訊及高頻電路系統。本研究以全訂製方式設計新型高效率D類放大器，調變方式是以脈波寬度調變系統做為電路控制，製程採用TSMC 0.35 μ m 2P4M Mixed-Signal前瞻性晶片製作，晶片額定工作電壓為3.3V，最高操作頻率為100MHz，總消耗功率為2.8307mW，晶片整體面積為1.016mm \times 1.016mm。最後，我們將此高效率新型D類放大器系統晶片進行實際測試及成果分析，從晶片性能的卓越表現證明本系統確實適合作為影音放大及通信控制等多項用途。

關鍵詞：D類放大器、音頻放大、脈波寬度調變、控制系統

目錄

封面內頁 簽名頁 中文摘要.....	iii	英文摘要.....	iii
..... iv 誌謝.....	iv v 目錄.....	v
..... vi 圖目錄.....	vi viii 表目錄.....	viii
..... xiv 符號說明.....	xiv xv 第一章 緒論 1.1 研究發展背景.....	xv
..... 1 1.2 研究動機.....	1 3 1.3 文獻回顧.....	3
..... 4 1.4 設計流程.....	4 9 1.5 晶片設計流程圖.....	9
..... 11 第二章 調變系統的設計與佈局 2.1 調變系統的原理與方法.....	11 12 2.2 脈波寬度調變(PWM)控制IC系統架.....	12
..... 13 2.3 脈波寬度調變系統晶片實作成果.....	13 35 2.4 脈波寬度調變控制IC的切換方式.....	35
..... 36 2.5 脈波寬度調變控制IC時序分析.....	36 37 2.6 模擬結果與驗證部份.....	37
..... 39 2.7 實作佈局驗證.....	39 44 2.8 PWM控制IC之規格列表.....	44
..... 47 2.9 實測結果.....	47 49 第三章 D類放大器的電路分析與設計 3.1 傳統型理想半橋D類放大輸出電路(P-ON).....	49
..... 52 3.2 傳統型理想半橋D類放大輸出電路(N-ON).....	52 55 3.3 傳統型實際半橋D類放大電路(P-ON).....	55
..... 57 3.4 傳統型理想全橋D類放大電路.....	57 60 3.5 傳統型實際全橋D類放大電路.....	60
..... 62 3.6 新式平衡式全橋D類放大電路.....	62 67 3.7 新式實際平衡式全橋D類放大電路.....	67
..... 80 第四章 調變系統的設計與佈局 4.1 新型平衡式全橋D類放大器.....	80 82 4.2 新型D類放大器輸出級和LC低通濾波器.....	82
..... 84 4.3 設計模擬的五種型態.....	84 85 4.4 MOS電晶體模擬的12個區域.....	85
..... 85 4.5 實測結果.....	85 88 4.6 頻譜分析.....	88
..... 98 第五章 結論 5.1 未來發展方向.....	98 108 參考文獻.....	108
..... 109 作者簡歷.....	109 113 著作目錄.....	113
..... 115 圖目錄 圖1.1 晶片設計流程圖.....	115 11 圖2.1 脈波寬度調變(PWM)控制IC系統架構圖.....	11
..... 13 圖2.2 分壓器偏壓電路圖.....	13 14 圖2.3 運算放大器輸入分析圖.....	14
..... 16 圖2.4 運算放大器增益-頻寬分析圖.....	16 17 圖2.5 差動輸入分析圖.....	17
..... 18 圖2.6 兩級式運算放大器電路圖.....	18 19 圖2.7 100 Ω 的Poly電阻佈局圖.....	19
..... 20 圖2.8 Poly電阻的設計佈局圖.....	20 20 圖2.9 100fF電容佈局圖.....	20
..... 21 圖2.10 400fF電容佈局圖.....	21 22 圖2.11 差動對M1及M2電路佈局圖.....	22
..... 23 圖2.12 M3及M4電路圖.....	23 23 圖2.13 偏壓源電路圖.....	23
..... 24 圖2.14 運算放大器電路輸出?益頻寬與相角比較波形圖.....	24 25 圖2.15 運算放大器電路佈局圖.....	25
..... 26 圖2.16 振盪器電路圖.....	26 27 圖2.17 振盪器電路輸出波形圖.....	27
..... 27 圖2.18 振盪器電路輸出波形時序圖.....	27 28 圖2.19 電壓斜波產生器電路圖.....	28
..... 29 圖2.20 電壓斜波產生器電路輸出波形圖.....	29 29 圖2.21 電壓斜波產生器電路佈局圖.....	29
..... 29 圖2.22 遲滯比較器電路圖.....	29 30 圖2.23 遲滯比較器訊號比較圖.....	30
..... 30 圖2.24 遲滯比較器遲滯曲線圖.....	30 31 圖2.25 雜訊對一般比較器的影響分析圖.....	31
..... 31 圖2.26 輸出訊	31		

號受雜訊影響分析圖.....	32	圖2.27 具有抗雜訊能力遲滯比較器訊號輸出圖.....	32	圖2.28 遲滯比較器電路輸入及輸出波形圖.....	33	圖2.29 遲滯比較器電路佈局圖.....	34
圖2.30 脈波寬度調變控制IC系統電路圖.....	35	圖2.31 脈波寬度調變控制IC系統電路佈局圖.....	35	圖2.32 電壓斜波電路輸出三角的波形圖.....	36	圖2.33 運算放大器電路輸出訊號的波形圖.....	36
... 36		圖2.34 脈波寬度調變控制IC的波形圖.....	36	圖2.35 脈波寬度調變控制IC輸入輸出比較圖.....	37	圖2.36 脈波寬度調變控制IC簡易圖.....	37
... 37		圖2.38 溫度對脈波寬度調變系統的影響關係圖.....	39	圖2.39 電壓轉換曲線對應不同 p/ n比值的變化特性圖.....	40	圖2.40 PWM操作在50KHz時分析模擬圖.....	40
... 41		圖2.42 PWM操作在200KHz時分析模擬圖.....	42	圖2.43 PWM操作在500KHz時分析模擬圖.....	42	圖2.44 PWM操作在1MHz時分析模擬圖.....	43
圖2.45 PWM登入模擬結果驗證分析圖.....	44	圖2.46 Calibre-LVS模擬佈局驗證圖.....	45	圖2.47 脈波寬度調變系統晶片佈局圖.....	46	圖2.48 脈波寬度調變系統實體晶片圖.....	46
圖2.49 脈波寬度調變系統晶片光學微影圖.....	47	圖2.50 運算放大器輸入訊號(Vin-)端之訊號圖.....	49	圖2.51 運算放大器輸出訊號(V-)端之訊號圖.....	50	圖2.52 電壓斜波產生器輸出訊號(V+)端之訊號圖.....	50
圖2.53 PWM晶片電路輸出訊號(Vout)端之訊號圖.....	51	圖2.54 PWM晶片電路輸出訊號(Vout)端之訊號圖.....	51	圖3.1 傳統型理想半橋D類放大電路圖.....	52	圖3.2 傳統型理想半橋D類放大輸入電路圖.....	55
圖3.3 傳統型實際半橋D類放大電路圖.....	57	圖3.4 傳統型理想全橋D類放大電路圖.....	58	圖3.5 傳統型實際全橋D類放大電路圖.....	60	圖3.6 創新的理想平衡式全橋D類放大電路圖.....	62
圖3.7 系統穩定度複數平面分析圖.....	65	圖3.8 新式實際平衡式全橋D類放大電路圖.....	67	圖3.9 當SNR=5dB時, PWM訊號輸出波形圖.....	69	圖3.10 當SNR=5dB時, Class D訊號輸出波形圖.....	69
圖3.11 當SNR=10dB時, PWM訊號輸出波形圖.....	70	圖3.12 當SNR=10dB時, Class D訊號輸出波形圖.....	70	圖3.13 當SNR=20dB時, PWM訊號輸出波形圖.....	71	圖3.14 當SNR=20dB時, Class D訊號輸出波形圖.....	71
圖3.15 當SNR=30dB時, PWM訊號輸出波形圖.....	72	圖3.16 當SNR=30dB時, Class D訊號輸出波形圖.....	72	圖3.17 當SNR=40dB時, PWM訊號輸出波形圖.....	73	圖3.18 當SNR=40dB時, Class D訊號輸出波形圖.....	73
圖3.19 當SNR=50dB時, PWM訊號輸出波形圖.....	74	圖3.20 當SNR=50dB時, Class D訊號輸出波形圖.....	74	圖3.21 當SNR=60dB時, PWM訊號輸出波形圖.....	75	圖3.22 當SNR=60dB時, Class D訊號輸出波形圖.....	75
圖3.23 當SNR=70dB時, PWM訊號輸出波形圖.....	76	圖3.24 當SNR=70dB時, Class D訊號輸出波形圖.....	76	圖3.25 當SNR=80dB時, PWM訊號輸出波形圖.....	77	圖3.26 當SNR=80dB時, Class D訊號輸出波形圖.....	77
圖4.1 新式平衡式全橋D類放大電路圖.....	80	圖4.2 新型D類放大器輸出級和LC低通濾波器電路圖.....	80	圖4.3 新型D類放大器輸出級電路佈局圖.....	83	圖4.4 新型D類放大器系統晶片佈局圖.....	84
圖4.5 新型D類放大器系統晶片佈局平面圖.....	87	圖4.6 新型D類放大器實體晶片光學微影圖.....	87	圖4.7 運算放大器輸入訊號(Vin-)端之量測圖.....	88	圖4.8 運算放大器輸出訊號(V-)端之量測圖.....	88
圖4.9 運算放大器輸出訊號與三角斜波訊號量測圖.....	89	圖4.10 電壓斜波產生器輸出(2MHz)三角波訊號圖.....	90	圖4.11 電壓斜波產生器輸出(5MHz)三角波訊號圖.....	90	圖4.12 電壓斜波產生器輸出(10MHz)三角波訊號圖.....	91
圖4.13 電壓斜波產生器輸出(50MHz)三角波訊號圖.....	91	圖4.14 電壓斜波產生器輸出(100MHz)三角波訊號圖.....	92	圖4.15 Class-D輸出訊號(Out)端之訊號圖1.....	92	圖4.16 Class-D輸出訊號(Out)端之訊號圖2.....	93
圖4.17 Class-D輸出訊號(Out)端之訊號圖3.....	93	圖4.18 Class-D輸出訊號(Out)端之訊號圖4.....	94	圖4.19 Class-D輸出訊號(Out)端之訊號圖5.....	94	圖4.20 Class-D輸出訊號(Out)端之訊號圖6.....	95
圖4.21 1KHz的Class-D輸出訊號量測圖.....	96	圖4.22 2KHz的Class-D輸出訊號量測圖.....	96	圖4.23 5KHz的Class-D輸出訊號量測圖.....	97	圖4.24 10KHz的Class-D輸出訊號量測圖.....	97
圖4.25 時域分析與頻域分析圖.....	98	圖4.26 當SNR=5dB時, 聲頻訊號300Hz的頻譜分析圖.....	101	圖4.27 當SNR=10dB時, 聲頻訊號300Hz的頻譜分析圖.....	102	圖4.28 當SNR=20dB時, 聲頻訊號300Hz的頻譜分析圖.....	103
圖4.29 當SNR=30dB時, 聲頻訊號300Hz的頻譜分析圖.....	103	圖4.30 當SNR=40dB時, 聲頻訊號300Hz的頻譜分析圖.....	104	圖4.31 當SNR=50dB時, 聲頻訊號300Hz的頻譜分析圖.....	104	圖4.32 當SNR=60dB時, 聲頻訊號300Hz的頻譜分析圖.....	105
圖4.33 當SNR=70dB時, 聲頻訊號300Hz的頻譜分析圖.....	105	圖4.34 當SNR=80dB時, 聲頻訊號300Hz的頻譜分析圖.....	105	表目錄 表1. PWM控制IC之功率消耗說明.....	47	表2. 運算放大器規格表.....	48
表3. 脈波寬度調變系統控制晶片規格表.....	49	表4. 設計模擬的五種型態表.....	83	表5. NMOS設計模擬的12個區域型態表.....	84	表6. PMOS設計模擬的12個區域型態表.....	85
表7. 新型D類放大器系統晶片之功率消耗說明表.....	85	表8. 新型D類放大器系統晶片規格表.....	85	符號說明 R : 電阻(單位: 歐姆 Ω)。		L : 電感(單位: 亨利H)。	
C : 電容(單位: 法拉F)。		V : 電壓(單位: 伏特V)。		I : 電流(單位: 安培A)。		P : 功率(單位: 瓦特W)。	
L : 長度(單位: 微米 μm)。		W : 寬度(單位: 微米 μm)。		Vt : 臨界電壓或切入電壓(單位: 伏特V)。		Vgs : 閘-源電壓(Vgs = Vgate - Vsource)。	
Vds : 汲-源電壓(Vds = Vdrain - Vsource)。		ID : 汲極電流。		f : 頻率(單位: 赫茲Hz)。		ω : 角頻率(ω = 2π f)。	

: 電壓增益。 PM : 相位角。 GB : 增益頻寬。

參考文獻

- [1]S. Nonaka and Y. Neba, "Single Phase PWM Current Source Converter with Double-Frequency Parallel Resonance Circuit for DC Smoothing," IEEE Industry Applications Society Annual Meeting, pp. 1144 – 1151, 1993.
- [2]S. El-Hamamsy, "Design of High-Efficiency RF Class D Power Amplifier," IEEE Transactions on Power Electronics, Vol. 9, pp. 297 – 308, May 1994.
- [3]Jong-Lick Lin, Hsin-Ying Hsieh, "Dynamics Analysis and Controller Synthesis for Zero-Voltage-Transition PWM Power Converters," IEEE Transactions on Power Electronics, Vol. 15, No. 2, pp. 205 – 214, March 2000.
- [4]Dong-Yun Lee, Byoung-Kuk Lee, Sang-Bong Yoo, and Dong-Seok Hyun, "An Improved Full-Bridge Zero-Voltage-Transition PWM DC/DC Converter with Zero-Voltage/ Zero-Current Switching of the Auxiliary Switches," IEEE Transactions on Industry Applications, Vol. 36, No. 2, pp. 558 – 566, April 2000.
- [5]Joseph S. Chang, Meng-Tong Tan, Zhihong Cheng, and Yit-Chow Tong, "Analysis and Design of Power Efficient Class D Amplifier Output Stages," IEEE Transactions on Circuits and Systems I, Vol. 47, No. 6, pp. 897 – 902, June 2000.
- [6]W. C. Lo, C. C. Chan, Z. Q. Zhu, Lie Xu, and K. T. Chau, "Acoustic Noise Radiated by PWM-Controlled Induction Machine Drives," IEEE Transactions on Industrial Electronics, Vol. 47, No. 4, pp. 880 – 889, August 2000.
- [7]Bah-Hwee Gwee, Joseph S. Chang, and Huiyun Li, "A Micro Power Low-Distortion Digital Pulse width Modulator for a Digital Class D Amplifier," IEEE IEEE Transactions on Circuits and Systems II, Vol. 49, No. 4, pp. 245 – 256, April 2002.
- [8]S. Nonaka, "A Utility-Connected Residential PV System Aapted a Novel Single-Phase Composit PWM Voltage Source Inverter," IEEE Photovoltaic Specialists Conference, pp. 1064 – 1068, 1994.
- [9]S. Nonaka and Y. Neba, "Single Phase Composit PWM Voltage Source Converter," IEEE IAS, pp. 761 – 767, 1994.
- [10]Louis R. Nerone, "A Mathematical Model of the Class D Converter for Compact Fluorescent Ballasts," IEEE Transactions on Power Electronics, Vol. 10, No. 6, pp. 708 – 715, November 1995.
- [11]I. D. Mosely et al., "Effect of Dead Time on Harmonic Distortion in Class-D Audio Amplifiers," Electronics Letters, Vol. 35, No. 12, pp. 950 – 952, June 1999.
- [12]A. Hajimiri, and S. Limotyrakis, "Jitter and Phase Noise in Ring Oscillators," IEEE Journal of Solid – State Circuits, Vol. 36, No. 6, pp. 790 – 804, 1999.
- [13]Meng Tong Tan, Joseph S. Chang, Hock Chuan Chua, and Bah Hwee Gwee, "An Investigation Into the Parameters Affecting Total Harmonic Distortion in Low-Voltage Low-Power Class-D Amplifiers," IEEE Transactions on Circuits and Systems I, Vol. 50, No. 10, pp. 1304 – 1315, October 2003.
- [14]Marco Berkhout, "An Integrated 200-W Class-D Audio Amplifier," IEEE Journal of Solid-State Circuits, Vol. 38, No. 7, pp. 1198 – 1206, July 2003.
- [15]B.J. Patella, A. Prodic, D. Maksimovic, "High-Frequency Digital PWM Controller IC for DC – DC Converters," IEEE Transactions on Power Electronics, Vol. 18, No. 1, pp. 438 – 446, January 2003.
- [16]Cheung Fai Lee and Philip K. T. Mok, "A Monolithic Current-Mode CMOS DC – DC Converter With On-Chip Current-Sensing Technique," IEEE Journal of Solid-State Circuits, Vol. 39, No. 1, pp. 3 – 14, January 2004.
- [17]J. Mahattanakul, "Design Procedure for Two-Stage CMOS Operational Amplifiers Employing Current Buffer," IEEE Transactions on Circuits and Systems II, Vol. 52, No. 11, pp. 766 – 770, 2005.
- [18]Girish. Kurkure, Alope K. Dutta, "A Novel Adaptive Biasing Scheme for CMOS Op-Amps," Journal of Semiconductor Technology and Science, Vol. 5, No. 3, pp. 168 – 172, 2005.
- [19]J. K. Fiorenza, T. Sepke, and P. Holloway, "Comparator-Based Switched-Capacitor Circuits for Scaled CMOS Technologies," IEEE Journal of Solid – State Circuits, Vol. 41, No. 12, pp. 2658 – 2668, 2006.
- [20]B. Goll, H. Zimmermann, "A Comparator with Reduced Delay Time in 65-nm CMOS for Supply Voltages Down to 0.65 V," IEEE Transactions on Circuits and Systems II, Vol.56, No.11, pp. 810-814, 2009.
- [21]M. A. Rojas-Gonzalez, E. Sanchez-Sinencio, "Low-Power High-Efficiency Class D Audio Power Amplifiers," IEEE Journal of Solid-State Circuits, Vol. 44, No. 12, pp. 3272 – 3284, 2009.
- [22]A. M. Hava, E. Un, "A High-Performance PWM Algorithm for Common-Mode Voltage Reduction in Three-Phase Voltage Source Inverters," IEEE Transactions on Power Electronics, Vol. 26, No. 7, pp. 1998 – 2008, 2010.
- [23]M. Berkhout, L. Dooper, "Class-D Audio Amplifiers in Mobile Applications," IEEE Transactions on Circuits and Systems I, Vol. 57, No. 5, pp. 992 – 1001, 2010.
- [24]B. Leung, "A Switching-Based Phase Noise Model for CMOS Ring Oscillators Based on Multiple Thresholds Crossing," IEEE Transactions on Circuits and Systems I, Vol. 57, No.11, pp. 2858 – 2869, 2010.

- [25]Ming Li, R. E. Amaya, “ Design of mM-W Fully Integrated CMOS Standing-Wave VCOs Using Low-Loss CPW Resonators, ” IEEE Transactions on Circuits and Systems II, Vol. 59, No. 2, pp. 78 – 82, 2012.
- [26]Ruei-Chang Chen, Yeong-Chau Kuo and Shih-Fong Lee, “ High-Performance Pulse Width Modulation Chip Design for Mixed-Signal Integrated Circuits, ” National Conference on Modern Electrical Engineering Technologies, Vol. 1, pp. 172 – 177, 2006.
- [27]Ruei-Chang Chen and Shih-Fong Lee, “ Design and Layout of a High-Performance PWM Control Class D Amplifiers IC Systems, ” Applied Mechanics and Materials, Vol. 203, pp. 469 – 473, August 2012.
- [28]Ruei-Chang Chen, Shih-Fong Lee and Yeong-Chau Kuo, “ Low Power Pulse Width Modulation Design for Class D Audio Amplifier Systems, ” Lecture Notes in Computer Science, Vol. 7473, pp. 136 – 143, August 2012.