

# 以核心技術實現里德索羅門解碼器 = The Implementation of an Reed-Solomon Decoder with CPU Technology

吳泰宗、胡大湘

E-mail: 357974@mail.dyu.edu.tw

## 摘要

本研究使用VHDL硬體描述語言設計Reed Solomon code的解碼器，其中包含CPU與RAM的運作。CPU以mips組合語言指令執行編解碼過程，RAM為儲存組合語言程式之處。每個指令以32位元方式執行RS code的解碼程，包括syndrome多項式之計算、錯誤位置多項式的尋找、錯誤位置之求解和錯誤更正。在編寫組合語言過程中，建立一個codespim平台用來縮減與修改組合語言，以達到減少資源消耗及加快CPU運作速度，最後再利用ModelSim軟體模擬與驗證。

關鍵詞：里德索羅門碼

## 目錄

封面內頁 簽名頁 中文摘要 . . . . .	iii	英文摘要 . . . . .	iii
. . . . .	iv	誌謝 . . . . .	v
. . . . .	vi	圖目錄 . . . . .	viii
. . . . .	ix	第一章 緒論 1.1 前言 . . . . .	1
動機 . . . . .	1	1.2 研究 . . . . .	1
	1	1.3 全文架構 . . . . .	2
		第二章 . . . . .	
Reed-Solomon碼原理 2.1伽羅瓦場(Galois Field)元素的建立與基本運算 . . . . .	3	2.1.1伽羅瓦場(Galois Field)基本四則運算 . . . . .	5
2.2 Reed-Solomon碼定義與參數 . . . . .	6	2.3 Reed-Solomon編碼演算法則 . . . . .	7
2.3.1 生成多項式 . . . . .	7	2.3.2 Reed-Solomon編碼演算法則 . . . . .	8
2.4 Reed-Solomon解碼演算法則 . . . . .	9	第三章 微處理器的架構與運作方式 3.1微處理器的基本架構 . . . . .	13
3.2其他功能區塊的介紹 . . . . .	15	3.3 微處理器的指令週期 . . . . .	16
3.4微處理器的指令說明 . . . . .	16	第四章 硬體實現與模擬比較 4.1 硬體電路設計 . . . . .	19
4.1.1加法器、乘法器的電路設計 . . . . .	19	4.1.2除法器的電路設計 . . . . .	21
4.2說明利用自行撰寫的C語言程式轉換成組合語言指令 . . . . .	23	4.3 Berlekamp-Massey解碼演算法則 . . . . .	24
結合與驗證及ModelSim與PCSpim模擬之比較 . . . . .	24	第五章 結論及未來展望 5.1 研究 . . . . .	29
流程與解決問題 . . . . .	29	5.2 結論及未來展望 . . . . .	29
參考文獻 . . . . .	31		

## 參考文獻

- [1]劉紹漢、林灶生, "VHDL晶片設計, 使用ISE、Modelsim發展系統," 全華科技圖書, 台北, 2004。
- [2]Shu Lin, and Daniel J Costello, Jr, "Error Control Coding," Prentice Hall, 2nd edition, 2004 [3]Jyh-Horng Jeng and Trieu-Kien Truong, "On Decoding of Both Errors and Erasures of a Reed-Solomon Code Using an Inverse-Free Berlekamp-Massey Algorithm," IEEE Transactions on Communications, vol. 47, No. 10, Oct 1999 [4]李忠昱, "Implementation of Reed-Solomon Decoder Based on Gao's Algorithm," 大葉大學電信工程學系碩士班碩士論文, 2008 [5]唐佩忠, "VHDL與數位邏輯設計," 高立圖書, 2004