

The Implementaion of Convolutional Decoder by CPU of MIPS

魏建宏、胡大湘

E-mail: 354898@mail.dyu.edu.tw

ABSTRACT

The implementation of convolutional code decoding is realized by VHDL programming, which includes operations of CPU and RAM. The firmware program operated in CPU is with MIPS instruction formats, and stored in a block of RAM. MIPS instructions with the length of 32 bits are employed in this firmware program, which contain state between the input/output, the receive miscellaneous news value, the hamming distance as well as chooses the hamming distance to be short, but also has decoded sequence to decode operation of finally the output. In this work, we design a codespim platform to modify some instructions and reduce the size of the firmware program. After simulations have been performed in Modelsim, this firmware is finally downloaded into a FPGA developed system to verify this implementation

Keywords : convolutional code、decoded sequence、hamming distance

Table of Contents

中文摘要	iii	英文摘要	iii
iv 誌謝		v 目錄	
vi 圖目錄		viii 表目錄	
x 第一章 緒論		1.1 研究動機	1
1.2 研究目的	2	1.3 全文架構	3
第二章 Convolutional code 原理	4	2.1 迴旋碼	4
2.2 迴旋碼的編碼方式	4	2.3 偉特比演算法的 Hard Decision Decoding	10
2.3.1 Viterbi (偉特比)演算法基本概念	10	2.3.2 Hard Decision Decoding	12
第三章 以微處理器的架構與運作方式	15	3.1 微處理器的基本組成	15
3.2 控制器的功能和基本組成元件	16	3.2.1 其他功能區塊的介紹	18
3.3 微處理器的指令截取方式	19	3.4 記憶體存取和時序控制的基本概念	20
3.5 微處理器的指令週期	21	3.6 微處理器的指令說明	22
第四章 實驗結果與系統模擬比較	30	4.1 手動演算迴旋編碼理論結果	30
4.2 以C語言來實現迴旋編碼理論設計	33	4.3 將組合語言指令透過C程式轉換機器碼	35
4.4 利用PCSpim來實現組合語言撰寫迴旋編碼	38	4.5 使用VHDL在模擬軟體 Modelsim實現迴旋碼	39
第五章 結論與未來展望	43	5.1 研究過程與如何解決問題	43
5.2 結論與展望	45	圖1.1 通訊系統	1
圖2.1(3, 1, 2)迴旋碼的編碼器	5	圖2.2(2, 1, 2)迴旋碼的編碼器	5
圖2.3脈衝響應的產生序列圖	6	圖2.4迴旋碼編碼器之狀態圖	6
圖2.5迴旋碼編碼器編碼樹狀圖	7	圖2.6迴旋碼編碼器編碼格子圖	8
圖2.7迴旋碼編碼器編碼輸出格子圖	9	圖2.8 viterbi decoded CAS 示意圖	10
圖2.9硬性判別解碼格子圖	11	圖2.10執行至時間2的 HDD 示意圖	13
圖2.11訊息長度為7的(2, 1, 2)硬性判別解碼格子圖	13	圖3.1微處理器架構示意圖	15
圖3.2四核心運作方式	15	圖3.3微處理器指令擷取圖	20
圖3.4 Time of RAM operation	20	圖4.1迴旋碼狀態輸出值圖	31
圖4.2漢明距離計算值及選擇圖	31	圖4.3迴旋編碼 decoded sequence 圖	32
圖4.4迴旋編碼C語言撰寫 decoded sequence(time=7)圖	34	圖4.5迴旋編碼C語言撰寫 decoded sequence(time=300)圖	35
圖4.6未轉換前指令輸入	36	圖4.7轉換後指令32bit與機器碼圖	36
圖4.8 PCSpim模擬圖	38	圖4.9 Modelsim模擬圖	40
圖4.10 Modelsim實驗結果模擬圖	41	圖4.11迴旋編碼300次以 Modelsim實驗結果圖	42
表2.1 (2, 1, 2)迴旋碼的編碼器輸出值	6	表2.2 (2, 1, 2)迴旋碼編碼器的四種狀態	7
表3.1資料傳送指令ldi	23	表3.2資料傳送指令lw	23

23 表3.3資料傳送指令sw	23 表3.4邏輯指令and
24 表3.5邏輯指令ori	24 表3.6邏輯指令sll
24 表3.7邏輯指令srl	25 表3.8邏輯指令xor
25 表3.9邏輯指令xori	25 表3.10條件分支指令beq
26 表3.11條件分支指令bne	26 表3.12條件分支指令bgtz
26 表3.13條件分支指令slt	27 表3.14條件分支指令slti
27 表3.15運算指令addu	27 表3.16運算指令addiu
28 表3.17運算指令subu	28 表3.18跳躍指令JR
28 表3.19跳躍指令JAL	29 表4.1迴旋碼狀態矩陣表格
31 表4.2迴旋碼輸出矩陣表格	32 表4.3修改前所使用記憶體表格
39 表4.4修改後所使用記憶體表格	39

REFERENCES

- [1]David A. Patterson and John L Hennessy , “ computer organization and design ” 東華書局, 2005 [2]Shu Lin , and Daniel J Costello , Jr , “ Error Control Coding , ” Prentice Hall , 2 nd edition , 2004 [3]劉紹漢、林灶生 , “ VHDL 晶片設計, 使用 ISE、ModelSim 發展系統, ” 全華科技圖書, 台北, 2004 [4]鄭啟中, “ The Implementation of Soft Decision Decoding of Convolutional Codes with Micro.Cpu Design Based ” , 大葉大學電機系碩士班碩士論文, 2009 [5]吳泰宗, “ The Implementation of an Reed.Solomon Decoder with CPU Technology ” , 大葉大學電機系碩士班碩士論文, 2011 [6]唐佩忠, “ VHDL與數位邏輯設計 ” , 高立圖書, 2004 [7]Introduction to VHDL By Dr. Yaser Khalifa Electrical and Computer Engineering Department State University of New York at New Paltz [8]吳邦一, “ C語言程式設計 ” 樹德科技大學資工系2005.6 [9]Er Liu , “ Convolutional Coding & Viterbi Algorithm ” , Helsinki University of Technology [10]Yunghsiang S. Han , “ Introduction to Binary Convolutional Codes ” , Graduate Institute of Communication Engineering National Taipei University [11]廖元億, “ 具備非揮發性記憶體介面之可合成似 MIPS微處理器結構化模式設計 ” , 大葉大學電機系碩士班碩士論文, 2006 [12]蕭智仁, “ 802.16通道編解碼器之網際網路軟硬體協同設計自動化 ” 大葉大學電機系碩士班碩士論文, 大葉大學電機系碩士班碩士論文, 2009