考量矽穿孔的3D晶片佈局平坦化方法 = 3D stacked IC layout considering TSV and metal density for CMP planarization

賴永埼、林浩仁, 程仲勝

E-mail: 354785@mail.dyu.edu.tw

摘 要

半導體進入3D IC製程技術後，單一面積上能製造更多的電晶體數量，並且降低晶片的功耗與縮短訊號間延遲的情況，使3D IC製程技術受到重視，但隨著技術日漸成熟，晶片所使用矽穿孔元件數量遽增，迫使積體電路設計與製造上問題越來越複雜。

矽穿孔的數量日漸遽增，由於矽穿孔佔據了大量佈局面積，使佈局中局部區域金屬密度極高，導致相對密度差異過大，容易造成整體佈局平坦度更加的惡化；本文提出階梯式的矽穿孔周圍平坦化方法，以矽穿孔為核心，提供每個矽穿孔所需的包覆區範圍，由核心往包覆區邊緣逐步遞減金屬密度，降低相對密度差異，於此區域內使用階梯式的方式安插虛擬金屬緩衝密度差異現象，以解決密度差異過大的佈局平坦度。由實驗結果中可見本文所提出的方法流程，能在增加少量佈局面積後，換取更加良好的佈局平坦度，並減少佈局平坦化時所需填充的虛擬金屬數量達到12%-36%。

關鍵詞 : 3D IC、矽穿孔、CMP平坦化、3D IC 平坦化技術

目錄

封面內頁
簽名頁
中文摘要 iii
ABSTRACT iv
誌謝 v
目錄 vi
圖目錄 viii
表目錄 x

第一章 緒論 1
1.1前言 1
1.2 CMP平坦化技術 6
1.3矽穿孔耦合電容效應 7
1.4研究動機 8
1.5論文架構 9
第二章 文獻回顧 10
2.1 3D IC熱效應問題 10
2.2佈局密度分析方法 14
2.3矽穿孔耦合雜訊效應 15
2.4 3D IC良率問題 16
第三章 階梯式的矽穿孔周圍平坦化方法 19
3.1階梯式的矽穿孔周圍平坦化方法 21
3.2包覆區的計算方法 23
3.3階梯式虛擬金屬填充方法 26
第四章 實驗結果 31
4.1觀察實驗結果 33
4.2實驗過程與結果 35
第五章 結論與未來展望 42
5.1結論 42
5.2未來展望 42
參考文獻 43

參考文獻

[1]謝孟玹(2008年，10月1日)。CMOS+MEMS異質整合下的IC 3D趨勢。台灣區電機電子工業同業公會電子報，39。2011年12月18日，取自 http://www.teema.org.tw/epaper/20081001/industrial002.html.
[2]M. Moto Yoshi et al.,“ Through-silicon via (TSV) , ” in Proc. IEEE ,vol. 97,no. 1, Jan. 2009, pp. 49 – 59.
[3]W. Rhett Davis et al., ” Demystifying 3D ICs: the pros and cons of goingvertical, ” IEEE Design and Test of Computers, vol. 22, Nov. 2005, pp.498 – 510.
[4]K. Bernstein et al.,“ Interconnects in the third dimension: design challengesfor 3D ICs, ” in Proc. Design Automation Conf., San Diego, CA ,June 2007, pp.562-567.
[5]Itabashi T.,“ TSV/3D-TSV package materials solution from DuPont electronictechnologies, ” Microsystems, Packaging, Assembly and Circuits TechnologyConf., Taipei. , Oct 2008,pp 239-242.
[6]D. H. Kim, K. Athikulwongse, and S. K. Lim,“ A study of Through-Silicon-Viaimpact on the 3D stacked IC layout , ” in Proc. IEEE Int. Conf. Computer-AidedDesign, San Jose, CA , Nov 2009, pp. 674-680.
[7]楊雅嵐(2008年8月15日)。由3D IC製程變化看技術發展挑戰。IEK產業服務-產業情報網。2011年12月18日，取自 http://ieknet.iek.org.tw/FreeDOC/32634/a1218769268593.pdf.
[8] http://www.itrs.net/Links/2010ITRS/2010Update/ToPost/2010Tables_Interconnect_FOCUS_E1_ITRS.xls.
[9]M. Pathak, Y. J. Lee, T. Moon, and S. K. Lim.,“ Through Silicon ViaManagement during 3D Physical Design: When to Add and How Many?, ” in Proc.IEEE Int. Conf. on Computer-Aided Design, Nov. 2010,pp. 387-394.
[10]張嘉華，唐經洲(2010年4月)。TSV技術考驗多 3D IC量產起步難。新通訊 2010 年 4 月號 趨勢眺望，110。2011年12月18日，取自 http://www.2cm.com.tw/markettrend_content.asp?sn=1003240014.
[11]T. E. Gbondo-Tugbawa,“ Chip-Scale Modeling of Pattern Dependencies in CopperChemical Mechanical Polishing Process, ” Ph.D. dissertation, MassachusettsInstitute of Technology, 2002.
[12]L. He, A. B. Kahng, K. Tam and J. Xiong,“ Simultaneous Buffer Insertion andWire Sizing Considering Systematic CMP Variation and Random Leff Variation, ” in Proc. of the 2005 International Symposium on Physical Design, 2005,pp.78 – 85.
[13]C. Liu and S. K. Lim,“ A study of Signal Integrity Issues in Through-Silicon-Via-based 3D ICs , ” in Proc. IEEE Int. Interconnect Technology Conference,Burlingame, CA , June 2010,pp. 1-3.
[14]錢慧君(2009年06月)。研發動能不減反增 低功耗設計領軍突圍。新電子科技雜誌，第七屆Globalpress電子高峰會特別報導。2012年01月12日，取自 http://www.mem.com.tw/article_content.asp?sn=0906030004[15]張嘉華，唐經洲(2010年2月)。跳脫SoC思維 3D IC須要「異」樣眼光。新通訊 2010 年2 月號 趨勢眺望，108。2012年01月12日，取自 http://www.2cm.com.tw/markettrend_content.asp?sn=1001210012.
[16]3D IC 設計EDA 環境評估報告， http://www.moeaidb.gov.tw/external/ctlr?PRO=filepath.DownloadFile&f=executive&t=f&id=3689.
[17]B. Goplen and S. Sapatnekar,“ Thermal via placement in 3-D ICs, ” in Proc.Int. Symp. Phys. Des., 2005, pp. 167 – 174.
[18]3D Stacked Architectures with Interlayer Cooling (CMOSAIC) ” , http://esl.epfl.ch/page-42448-en.html.
[19]A. B. Kahng, G. Robins, A. Singh, and A. Zelikovsky,“ Filling algorithms andanalyses for layout density control, ” IEEE Trans. Comput.-Aided DesignIntegrated. Circuits and systems, vol. 18,no. 4, pp. 445 – 462, Apr. 1999.
[20]A. B. Kahng and K. Samadi,“ CMP Fill Synthesis: A Survey of RecentStudies, ” IEEE Trans. on CAD, vol. 27, no. 1, pp.3 – 19,Jan. 2008.
[21]Y. Chen, A. B. Kahng, G. Robins, and A. Zelikovsky,“ Monte-Carlo algorithmsfor layout density control, ” in Proc.IEEE Asia South Pacific Des. Autom.Conf., 2000, pp.523 – 528.
[22]H. Xiang, L. Deng, R. Puri, K.-Y. Chao, and M. D. F. Wong,“ Dummy filldensity analysis with coupling constraints, ” in Proc. ACM/IEEE Int. Symp.Phys. Des., 2007, pp. 3 – 9.
[23]Y. Chen, P. Gupta, and A. B. Kahng,“ Performance-impact limited area fillsynthesis, ” in Proc. ACM/IEEE Des. Autom.Conf., 2003, pp. 22 – 27.
[24]Chang Liu Sung and Kyu Lim,“ A Study of Signal Integrity Issues in Through-Silicon-Via-based 3D ICs, ” in Proc. of the 2010 IEEE InternationalConference on Interconnect Technology (IITC), 2010,pp.1-3.
[25]H.-Y. Chen, M.-F. Chiang, Y.-W. Chang, L. Chen, and B. Han,“ Novel full-chipgridless routing considering double-via insertion, ” in Proc. ACM/IEEE Des.Autom. Conf., Jun. 2006, pp. 755 – 760.
[26]A.C. Hsieh, et al.“ TSV redundancy: Architecture and design issues in 3D IC, ” in Proc. Design, Automation, and Test in Europe Conf. Exhibition, pp.166 – 171, 2010.
[27]D.-M. Kwai, C.-T. Lin,“ 3D Stacked IC Layout Considering Bound Pad Densityand Double for Manufacturing Yield Improvement, ” in Proc. InternationalSymposium on Quality Electronic Design , March 2011. pp.1-6.
[28]Synopsys , Design Compile version D-2010.03-SP5, http://www.synopsys.com.
[29]Cadence , SoC Encounter version 8.1, http://www.cadence.com/products/di/soc_encounter[30]NCSU PDK , http://www.eda.ncsu.edu/wiki/FreePDK[31]ISCAS ’ 89 benchmarks, http://www.pld.ttu.ee/~maksim/benchmarks/iscas89.