

運用似MIPS雙核心處理器實現二次Log-Map近似之渦輪碼解碼器

洪銘鴻、陳慶順

E-mail: 345158@mail.dyu.edu.tw

摘要

本研究使用VB程式設計二次log-Map近似渦輪碼編解碼器，並將經過編碼與通道效應後的輸出值輸入本研究使用C語言設計的二次log-Map近似渦輪碼編解碼器進行驗證，所設計的解碼器使用GCC 編譯成MIPS組合語言，再運用PCSpim組譯取得機器碼，並將機器碼存入至以Verilog 硬體描述語言 (Hardware Description Language, HDL) 與演算法狀態機制 (Algorithmic State Machine, ASM) 發展可平行處理的似MIPS雙核心架構之記憶體中，利用ModelSim軟體模擬與驗證，再使用FPGA實驗板進行硬體驗證，其結果輸出至快閃記憶體與C語言結果驗證無誤後，使用MATLAB輸出BER圖形比較各種log-Map之差異。本研究的貢獻為運用自行開發之似MIPS雙核心處理器，及整合使用各EDA工具，完成二次log-Map近似渦輪碼編解碼器之設計，並且有效的將C語言快速成型於FPGA晶片中加以驗證。本研究所使用之二次log-MAP演算法，在各訊雜比的位元錯誤率(BER)皆優於先前較普遍使用的max-log-MAP，constant-log-MAP，與線性log-MAP。

關鍵詞：MAP演算法、二次log-MAP、渦輪碼

目錄

封面內頁 簽名頁 中文摘要	iii	英文摘要	iii
. iv 誌謝	iv	v 目錄	v
. vi 圖目錄	vi	vii 表目錄	vii
. ix 縮寫表	ix	xi	xi
第一章 緒論	1	1.1 研究動機	1
1.2 研究目的	2	第二章 研究方法	4
2.1 錯誤更正碼簡介	4	2.2 區塊碼	5
碼	6	2.4 Viterbi迴旋解碼演算法	11
.	16	2.6 渦輪碼編碼器	17
.	20	2.8 渦輪碼解碼器	22
演算法	23	2.10 MIPS架構	26
.	29	2.12 電子設計自動化工具	33
.	35	第三章 結果與討論	35
.	36	3.1 設計流程	35
.	42	3.2 軟體驗證	39
.	44	3.3 硬體驗證	39
		3.4 性能比較	39
		第四章 結論	43
		參考文獻	43

參考文獻

- [1]G. Berrou, A. Glavieuc and P. Thitimajshima, " Near Shannon Limit Error-Correcting Coding: Turbo Codes ", in Proc. 1993. Conf. Com., Geneva, Switzerland, May 1993, pp. 1064-1070.
- [2]P. Robertson, P. Hoeher and E. Villebrun, " Optimal and Sub-Optimal Maximum a Posteriori Algorithms Suitable for Turbo Decoding ", European Trans. On Telecommun., Mar./Apr. 1997, Vol. 8, pp. 119-125.
- [3]S. Benedetto, D. Divsalar, G. montorsi, and F. pollara, " A Soft-Input Soft-Output Maximum a Posteriori (MAP) Module to Decode Parallel and Serial Concatenated Codes ", The Telecommunications and Data Acquisition Progress Report 42-127, Aug. 1996.
- [4]W. J. Gross and P. G. Gulak, " Simplified MAP Algorithm Suitable for Implementation of Turbo Decoders ", Electronics Letters, Aug. 1998, Vol. 34, pp. 1577-1578.
- [5]B. Classon, K. Blankenship and V. Desai, " Turbo Decoding with the Constant-Log-MAP Algorithm ", Proc., Second Int. Symp. Turbo Codes and Related Appl., Sep. 2000, Brest, France, pp. 467-470.
- [6]M. C. Valenti and J. Sun, " The UMTS Turbo Code and an Efficient Decoder Implementation Suitable for Software-Defined Radios ", Int. J. Wireless Information Networks, Oct. 2001, Vol. 8. pp. 203-215.
- [7]H. Wang, H. Yang and D. Yang, " Improved Log-MAP Decoding Algorithm for Turbo-Like Codes, " IEEE Communications Letters, March

2006, Vol. 10, pp. 186-188.

- [8]蔡鳴凱, “二階Log-MAP渦輪解碼演算法於衰減CDMA通訊之應用,” 大葉大學電機工程研究所碩士論文, 2007。
- [9]K. Wang, J. Xu, J. Tang, Z. Zhang and C. Zhang, “Modified Turbo Code Decoding Algorithm in CDMA Communication under Fading Channel,” in Proc., 2005, Int. Conf. Communications, Circuits and Systems, May 2005, Hong Kong, China, Vol. 1, pp. 27 – 30.
- [10]廖啟仰, “以似MIPS架構發展一個WiMAX基頻傳收機” 大葉大學電機工程研究所碩士論文, 2009。
- [11]周泰祥, “使用FPGA平台製作具有疊代停止之渦輪解碼器,” 明志科技大學工程技術研究所碩士論文, 2007。
- [12]W.H. Press, B.P. Flannery, S.A. Teukolsky, and W.T. Vetterling, “Pade Approximants,” in Numerical Recipes in FORTRAN: The Art of Scientific Computing, 2nd ed. Cambridge, England: Cambridge University Press, 1992, pp. 194-197.
- [13]GCC: The GNU Compiler Collection, Free Software Foundation, Inc., Available: <http://gcc.gnu.org/> [14]James R. Larus, SPIM: A MIPS32 Simulator, Available: <http://pages.cs.wisc.edu/~larus/spim.html> [15]ModelSim, Mentor Graphics Corp., Available: <http://www.model.com/>
- [16]“ISE In-Depth Tutorial,” Xilinx, Inc., Available: <http://www.xilinx.com/> [17] “Ambit BuildGates Synthesis User Guide, Product Version 4.0,” Cadence Design Systems, Inc. Sep. 2000.
- [18]陳克任, “類比暨數位通訊”, 儒林圖書有限公司, 台北, 2002。
- [19]陳顯治, “現代通信原理”, 電子工業出版社, 北京, 2001。
- [20]William Stallings著,余兆棠,林瑞源,繆紹綱譯 “無線通訊與網路” 台灣培生教育出版有限公司, 台北, 2002。
- [21]David A. Patterson, John L. Hennessy, Computer Organization and Design: The Hardware/Software Interface, 3rd ed., Morgan Kaufmann, 2007.
- [22]M. G. Arnold, Verilog Digital Computer Design: Algorithms into Hardware, Prentice-Hall, Inc., 1999.
- [23]W29C011A FLASH MEMORY, Winbond Electronics Corp., Jan.2002.Available: <http://www.datasheetcatalog.org/datasheets/>