

# 運用似MIPS雙核心處理器實現Pade近似之渦輪碼解碼器

黃立昕、陳慶順

E-mail: 317686@mail.dyu.edu.tw

## 摘要

渦輪碼提供優越的錯誤更正能力，所以無線通訊領域中被廣泛的運用。渦輪碼也被證明在通信通道中近似Shannon容量的碼。本研究以Verilog HDL與演算法狀態機制發展一個具有精簡指令集的似MIPS雙核心處理器，並使用似MIPS雙核心處理器發展一個Pade近似渦輪碼解碼器。本研究以VB程式設計pade近似渦輪碼編解碼器，並將經過編碼與通道效應後的輸出值輸入本研究使用C語言設計的Pade近似之渦輪碼解碼器進行驗證，所設計的解碼器使用GCC編譯成MIPS組合語言，再運用PCSpim組譯取得機器碼，並將機器碼內嵌至以Verilog硬體描述語言(Hardware Description Language, HDL)與演算法狀態機制(Algorithmic State Machine, ASM)發展可平行處理的似MIPS雙核心處理器之記憶體中，利用ModelSim軟體模擬與驗證，再使用FPGA實驗板進行硬體驗證，其結果輸出至快閃記憶體與C語言結果驗證無誤後，最後完成似MIPS處理器TSMC0.35  $\mu$ m VLSI佈局，並且至CIC下線實做晶片。本研究的貢獻為運用自行開發之似MIPS雙核心處理器，及整合使用各EDA工具，完成Pade近似渦輪碼解碼器之設計，並且有效的將C語言快速成型於FPGA晶片中加以驗證。本研究所使用之Pade近似log-MAP演算法，在訊雜比(BER)為時優於max-log-MAP 0.4db，優於constant-log-MAP 0.2db，優於線性log-MAP 0.1db。

關鍵詞：MAP演算法、Pade近似、渦輪碼

## 目錄

封面內頁 簽名頁 授權書 . . . . .	iii	中文摘要 . . . . .	
. . . . .	iv	英文摘要 . . . . .	v
. . . . .	vi	目錄 . . . . .	vii
. . . . .	ix	表目錄 . . . . .	xi
縮寫表 . . . . .	xii	第一章 緒論 . . . . .	
. . . . .	1 1.1	1.1.1 研究動機 . . . . .	1 1.2 研究目的 . . . . .
. . . . .	2	第二章 研究方法 . . . . .	4 2.1 錯誤更正碼 . . . . .
. . . . .	4 2.2	2.2 區塊碼 . . . . .	5 2.3 旋積碼 . . . . .
. . . . .	7 2.4	Viterbi迴旋解碼演算法 . . . . .	12 2.5 渦輪碼系統 . . . . .
. . . . .	17 2.6	渦輪碼編碼器 . . . . .	18 2.7 交錯器與解交錯器 . . . . .
. . . . .	21 2.8	渦輪碼解碼器 . . . . .	23 2.9 Pade近似log-MAP渦輪碼解碼演算法 . . . . .
. . . . .	24 2.10	MIPS架構 . . . . .	27 2.11 似MIPS雙核心處理器 . . . . .
. . . . .	30 2.12	電子設計自動化工具 . . . . .	34 第三章 結果與討論 . . . . .
. . . . .	37	3.1 設計流程 . . . . .	. . . . .
. . . . .	37 3.2	軟體驗證 . . . . .	39 3.3 硬體驗證 . . . . .
. . . . .	43 3.4	結果與討論 . . . . .	46 第四章 結論 . . . . .
. . . . .	50	參考文獻 . . . . .	52

## 參考文獻

- [1]G. Berrou, A. Glavieuc and P. Thitmajshima, " Near Shannon Limit Error-Correcting Coding: Turbo Codes ", in Proc. 1993. Conf. Com., Geneva, Switzerland, May 1993, pp. 1064-1070.
- [2]P. Robertson, P. Hoeher and E. Villebrun, " Optimal and Sub-Optimal Maximum a Posteriori Algorithms Suitable for Turbo Decoding ", European Trans. On Telecommun., Mar./Apr. 1997, Vol. 8, pp. 119-125.
- [3]S. Benedetto, D. DIVSALAR, G. MONTORSI, and F. POLLARA, " A Soft-Input Soft-Output Maximum a Posteriori (MAP) Module to Decode Parallel and Serial Concatenated Codes ", The Telecommunications and Data Acquisition Progress Report 42-127, Aug. 1996.
- [4]W. J. Gross and P. G. Gulak, " Simplified MAP Algorithm Suitable for Implementation of Turbo Decoders ", Electronics Letters, Aug. 1998, Vol. 34, pp. 1577-1578.
- [5]B. Classon, K. Blankenship and V. Desai, " Turbo Decoding with the Constant-Log-MAP Algorithm ", Proc., Second Int. Symp. Turbo Codes and Related Appl., Sep. 2000, Brest, France, pp. 467-470.

- [6]M. C. Valenti and J. Sun, " The UMTS Turbo Code and an Efficient Decoder Implementation Suitable for Software-Defined Radios ", Int. J. Wireless Information Networks, Oct. 2001, Vol. 8. pp. 203-215.
- [7]H. Wang, H. Yang and D. Yang, " Improved Log-MAP Decoding Algorithm for Turbo-Like Codes, " IEEE Communications Letters, March 2006, Vol. 10, pp. 186-188.
- [8]林沅東, " Pade逼近log-MAP渦輪解碼演算法於衰減CDMA通訊之應用, " 大葉大學電機工程研究所碩士論文, 2007。
- [9]K. Wang, J.Xu, J. Tang, Z. Zhang and C. Zhang, " Modified Turbo Code Decoding Algorithm in CDMA Communication under Fading Channel, " in Proc., 2005, Int. Conf. Communications, Circuits and Systems, May 2005, Hong Kong, Vol. 1, pp. 27 – 30.
- [10]廖啟仰, " 以似MIPS架構發展一個WiMAX基頻傳收機, " 大葉大學電機工程研究所碩士論文, 2009。
- [11]周泰祥, " 使用FPGA平台製作具有疊代停止之渦輪解碼器, " 明志科技大學工程技術研究所碩士論文, 2007。
- [12]W.H. Press, B.P. Flannery, S.A. Teukolsky, and W.T. Vetterling, " Pade Approximants, " in Numerical Recipes in FORTRAN: The Art of Scientific Computing, 2nd ed. Cambridge, England: Cambridge University Press, 1992, pp. 194-197.
- [13]GCC: The GNU Compiler Collection, Free Software Foundation, Inc., Available: <http://gcc.gnu.org/> [14]James R. Larus, SPIM: A MIPS32 Simulator, Available: <http://pages.cs.wisc.edu/~larus/spim.html> [15]ModelSim, Mentor Graphics Corp., Available: <http://www.model.com/>
- [16]"ISE In-Depth Tutorial, " Xilinx, Inc. , Available: <http://www.xilinx.com/> [17] " Ambit BuildGates Synthesis User Guide, Product Version 4.0, " Cadence Design Systems, Inc. Sep. 2000.
- [18]陳克任, " 類比暨數位通訊 ", 儒林圖書有限公司, 台北, 2005。
- [19]陳顯治, " 現代通信原理(第二版) ", 電子工業出版社, 北京, 2007。
- [20]William Stallings著, 余兆棠,林瑞源,繆紹綱譯, " 無線通訊與網路 ", 台灣培生教育出版有限公司, 台北, 2002。
- [21]David A. Patterson, John L. Hennessy, Computer Organization and Design: The Hardware/Software Interface, 3rd ed., Morgan Kaufmann, 2007.
- [22]M. G. Arnold, Verilog Digital Computer Design: Algorithms into Hardware, Prentice-Hall, Inc. ,New Jersey, 1999.
- [23]W29C011A Flash Memory, Winbond Electronics Corp. , Jan.2002.Available: <http://www.datasheetcatalog.org/datasheets/>