ABSTRACT
Statistical process control technology for the industrial sector had a considerable history, it is a good tool for improved process capability and quality control, this study uses the semiconductor IC packaging forming process to introduced into SPC system. Use the supplemented QI statistical software to establish a complete set of statistical system control method, and select the appropriate control chart type and introduced into an auto lead scan inspection machine and enhance the detection rate, enhance the control efficiency of production lines immediately. As the SPC control chart rules is abnormal it must be waiting for engineers to eliminate SPC abnormal and the waiting time is spent but most of the abnormal problem was machines or personnel practices and misjudgment, then use the "Plato" to collect the abnormal reasons and establish OCAP by "Plato" analysis, when the SPC rule is abnormal the operator can eliminate abnormal immediately by themselves and increased production flexibility. To establish "exception treatment procedure" by use the 8D & FMEA to solve the production line abnormal check and confirm prevent action and reduce the waste of resources with the production line because the incorrect prevent action.

Keywords: OCAP、EDR、FMEA、SPC、Control Chart、Process Capability、8D

Table of Contents
1.1 研究背景與動機
1.2 研究目的
1.3 研究限制
1.4 研究流程
1.5 研究架構
2.1 統計製程管制
2.1.1 管制圖概述
2.1.2 製程品質變異隨機原因與非隨機原因
2.1.3 管制圖的種類
2.1.4 判圖原則
2.1.5 製程能力
2.1.6 量測的基本概念
2.1.7 IC封裝製程特性
2.1.8 SPC系統架構
2.2 8D改善程序
2.3 失效模式與效應分析
2.3.1 FMEA程序
2.3.2 FMEA表格
2.4 JEDEC國際規範
3.1 台灣半導體產業鏈
3.2 半導體製造流程
3.2.1 前段製程-晶圓製造
3.2.2 後段製程-IC封裝
3.2.3 半導體測試製程
3.3 導線架介紹
3.4 QI軟體簡介
4.1 SPC流程建立
4.2 異常處理程序
5.1 成型製程導入SPC系統
5.2 異常管理程序
5.2.1 OCAP成立
5.2.2 EDR開立
5.3導入SPC及管控程序成效確認
6.1結語與研究貢獻
6.2未來研究方向
参考文獻
圖目錄
圖1-1 研究流程
圖2-1 典型的管制圖
圖2-2 單點超出管制上下限
圖2-3 連續7點位於中心線之上或之下
圖2-4 連續11點中有10點在中心線同一向
圖2-5 連續7點遞增或遞減
圖2-6 連續3點中有2點大於或小於2倍標準差
圖2-7 SPC系統架構
圖2-8 8D改善流程
圖3-1 台灣半導體產業鏈
圖3-2 晶圓處理製程
圖3-3 導線架IC封裝製程
圖3-4 封裝之技術
圖3-5 導線架之製程
圖4-1 SPC管理系統
圖4-2 SPC導入做法
圖4-3 OCAP及EDR異常管控建構流程
圖4-4 量測系統做法流程
圖5-1 RVSI檢腳機檢測原理
圖5-2 SPC導入說明
圖5-3 彎腳成型
圖5-4 IC焊接至印刷電路板示意圖
圖5-5 IC焊接至電路板失敗特性要因圖
圖5-6 IC焊接電路板失敗統計
圖5-7 腳懸空示意圖
圖5-8 產品規格圖
圖5-9 膠體變形圖
圖5-10 造成IC上板失敗柏拉圖
圖5-11 平面度資料蒐集
圖5-12 資料鍵入QI軟體圖
圖5-13 選用管制圖
Techniques for Applying Control Charts In A Batch Operation”, Vol.71, No.12, pp.91-95.


三、線上文獻
1. JEDEC國際規範網站 http://www.jedec.org
2. ITIS電網 http://www.itis.org.tw/
3. RVSI網站 http://www.rvsi.com
4. 臺灣大百科全書 http://taiwanpedia.culture.tw/web/content?ID=19364